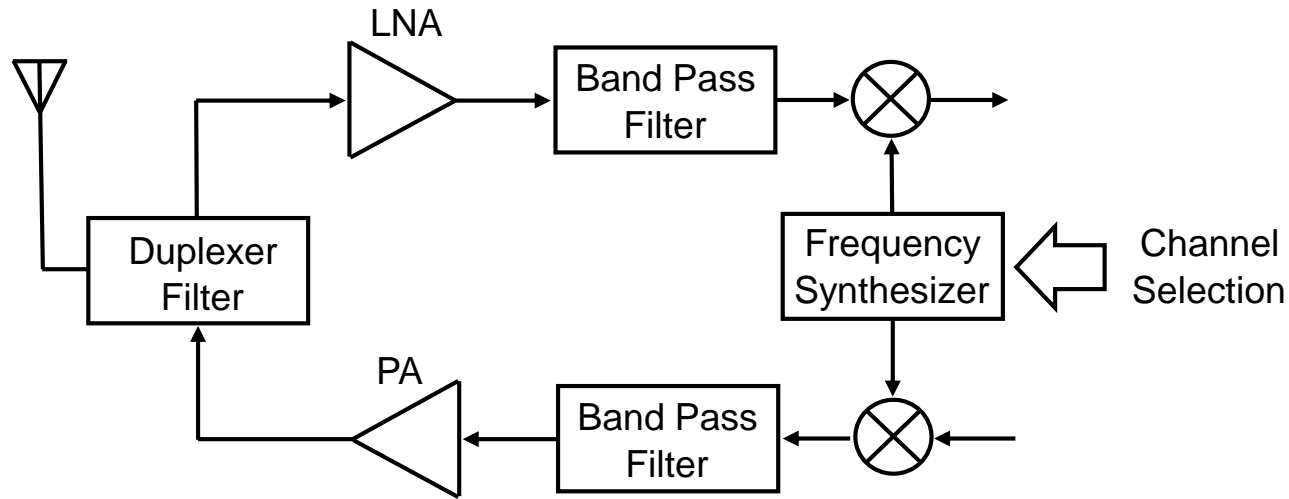


Überblick über Frequenz-Synthesizer



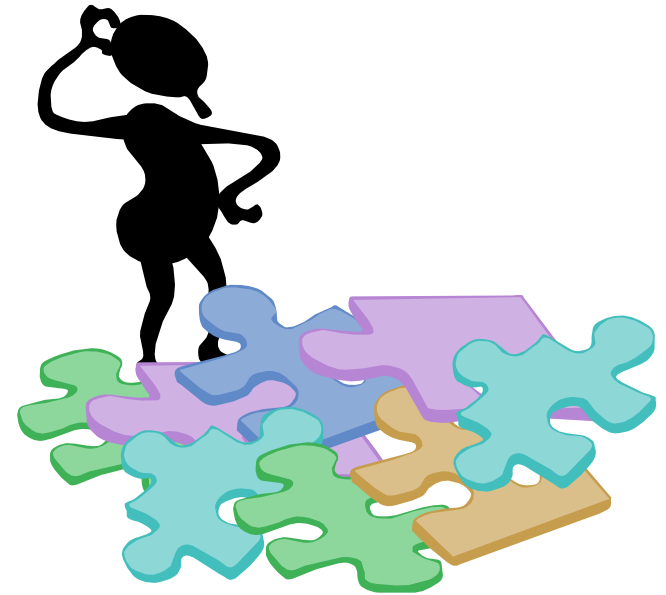
Roland Pfeiffer
14. Vorlesung

Design eines Frequenz-Synthesizers

Ihr Chef stellt Ihnen die Aufgabe, einen Frequenz-Synthesizer für Mobilfunkfrequenzen zu designen.

Ihre Aufgabe:

- Aufgaben des Frequenz-Synthesizers
 - Meßgrößen des Frequenz-Synthesizers
 - verschiedene Frequenz-Synthesizer-Architekturen aus Veröffentlichungen
- ⇒ Design eines Frequenz-Synthesizers



Aufgaben des Frequenz-Synthesizers

Ein Frequenzsynthesizer soll

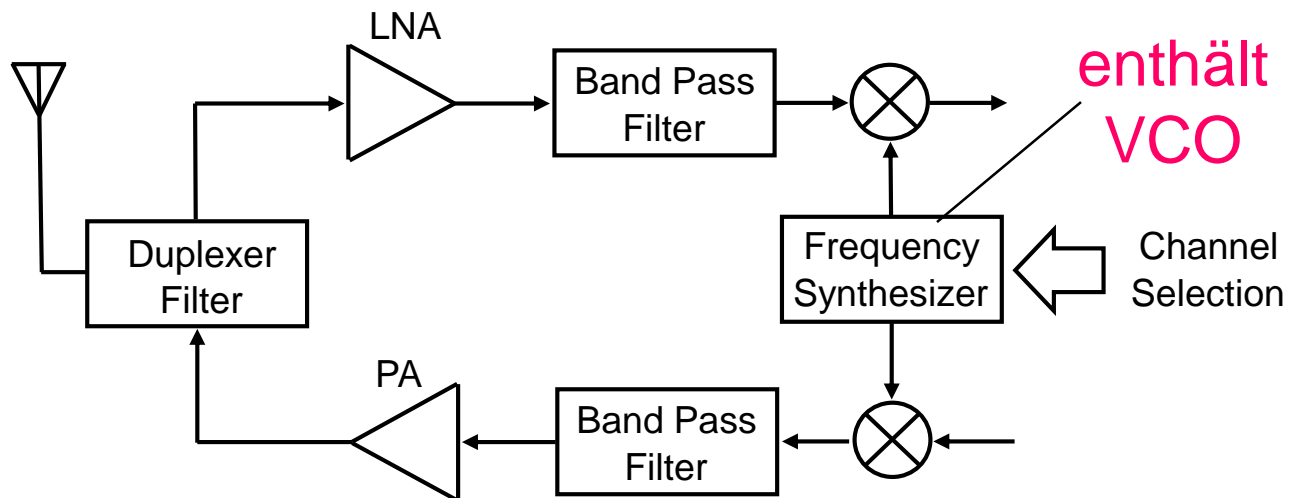
- ◆ eine hohe Frequenzgenauigkeit aufweisen

GSM-Standard: Frequenzgenauigkeit von 0,1 ppm !!

GSM 900 MHz \Rightarrow Frequenzgenauigkeit von 90 Hz!!

aufgrund von Fertigungsabweichungen ist diese Frequenzgenauigkeit nicht mehr mit einem VCO realisierbar

\Rightarrow Frequenzsynthesizer „um den VCO herum“



Aufgaben des Frequenz-Synthesizers

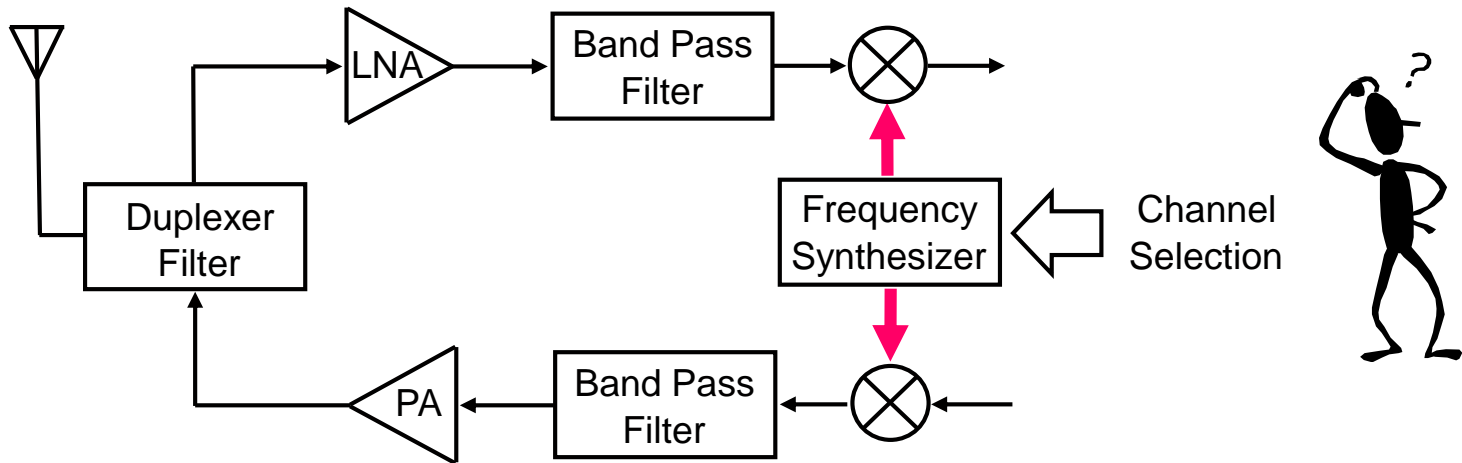
Ein Frequenzsynthesizer soll

- ◆ eine hohe Frequenzgenauigkeit aufweisen
- ◆ über die Kanäle abstimmbar sein
- ◆ schnellen Frequenzwechsel gestatten

Aufgaben des Frequenz-Synthesizers

schneller Frequenzwechsel:

wichtig bei **gleichzeitiger Nutzung eines Synthesizer im RX- und TX-Pfad**
bei Time-Division Multiple Access (z.Bsp. GSM)



Aufgaben des Frequenz-Synthesizers

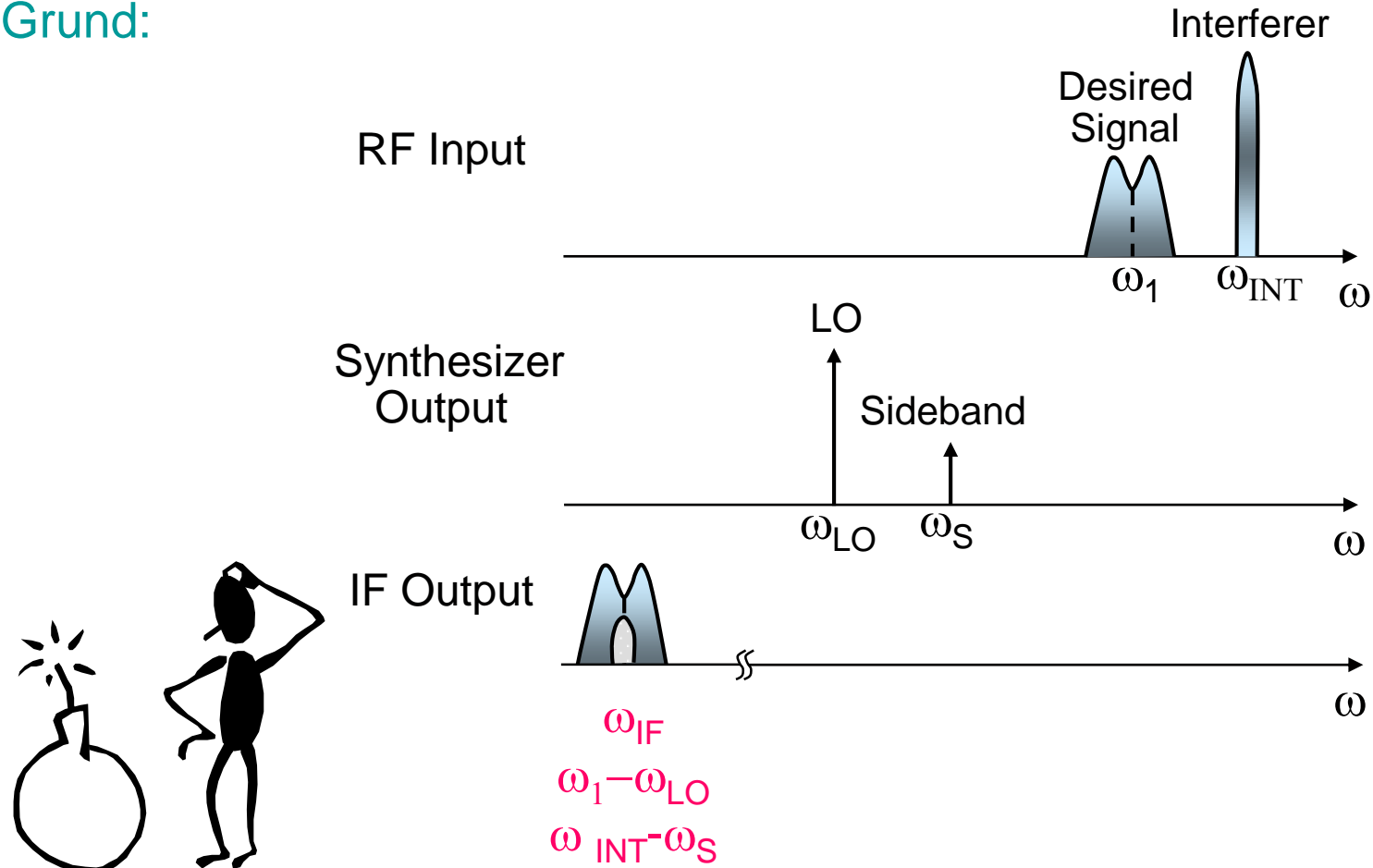
Ein Frequenzsynthesizer soll

- ◆ eine hohe Frequenzgenauigkeit aufweisen
- ◆ über die Kanäle abstimmbar sein
- ◆ schnellen Frequenzwechsel gestatten
- ◆ Störfrequenzen („Seitenbänder“) unterdrücken

Aufgaben des Frequenz-Synthesizers

Unterdrückung von Störfrequenzen („Seitenbändern“)

Grund:



Aufgaben des Frequenz-Synthesizers

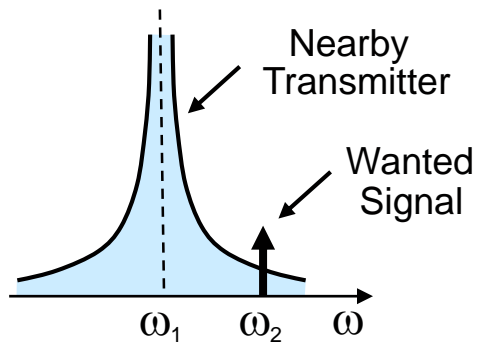
Ein Frequenzsynthesizer soll

- ◆ eine hohe Frequenzgenauigkeit aufweisen
- ◆ über die Kanäle abstimmbar sein
- ◆ schnellen Frequenzwechsel gestatten
- ◆ Störfrequenzen („Seitenbänder“) unterdrücken
- ◆ selber kein Rauschen hinzufügen

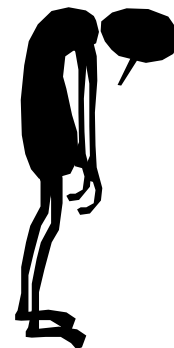
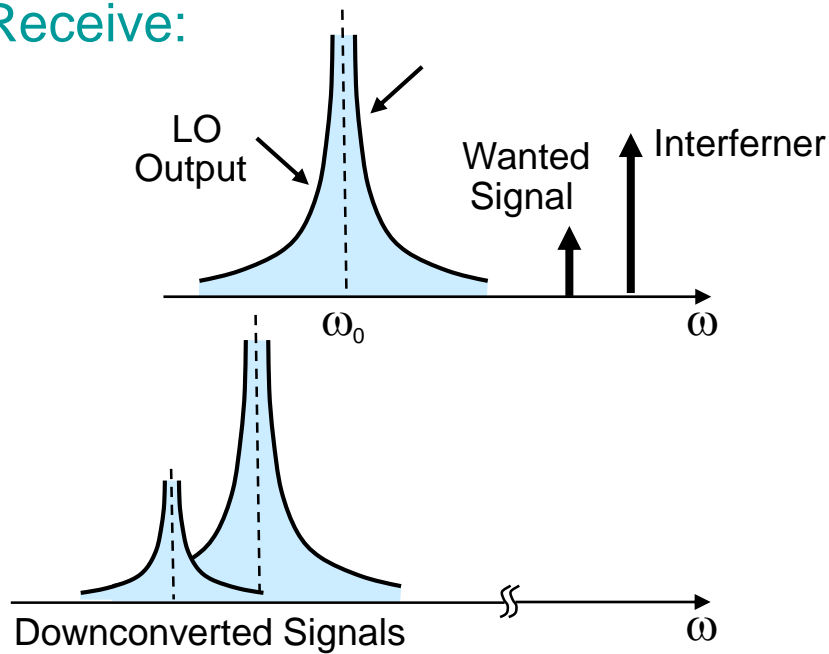
Aufgaben des Frequenz-Synthesizers

Rauschen im Ausgangssignal

Transmit:



Receive:



„reciprocal mixing“

Aufgaben des Frequenz-Synthesizers

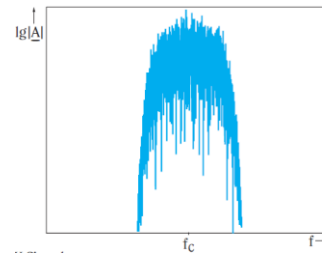
Ein Frequenzsynthesizer soll

- ◆ eine hohe Frequenzgenauigkeit aufweisen
- ◆ über die Kanäle abstimmbar sein
- ◆ schnellen Frequenzwechsel gestatten
- ◆ Störfrequenzen („Seitenbänder“) unterdrücken
- ◆ selber kein Rauschen hinzufügen
- ◆ bei homodyne Transmitter: „Injection locking“

Homodyne-Sender

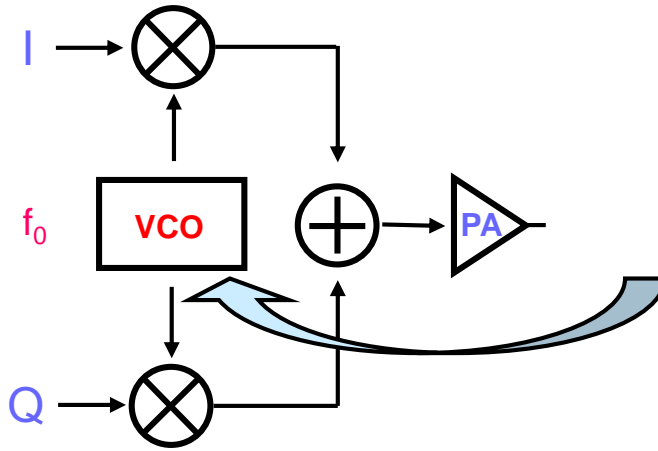
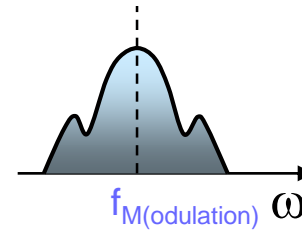
„Injection locking“

z.Bsp.



durch Modulation

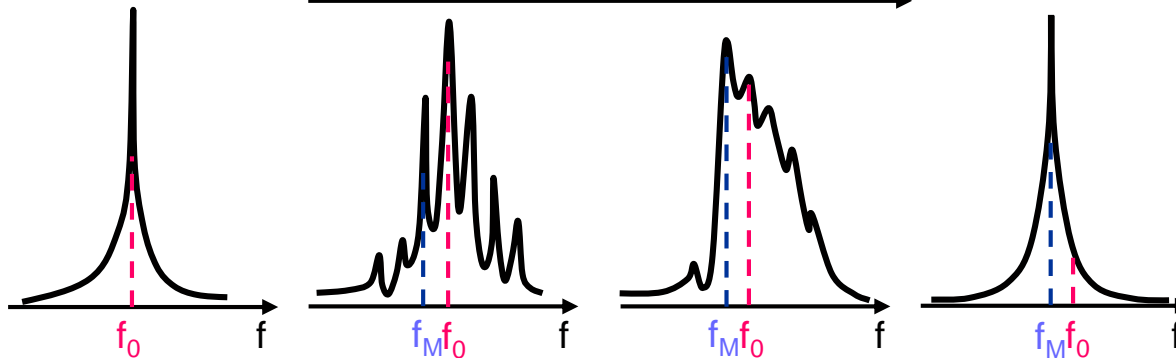
$f_M \neq f_0$



VCO Handy natürliche Frequenz

Koppelung auf VCO steigt

VCO Handy auf f_M abgelenkte Frequenz



Aufgaben des Frequenz-Synthesizers

Frage: Was für eine Spezifikation halten Sie für die wichtigste ?

Ein Frequenzsynthesizer soll

- ◆ eine hohe Frequenzgenauigkeit aufweisen
- ◆ über die Kanäle abstimmbar sein
- ◆ schnellen Frequenzwechsel gestatten
- ◆ Störfrequenzen („Seitenbänder“) unterdrücken
- ◆ selber kein Rauschen hinzufügen
- ◆ bei homodyne Transmitter: „Injection locking“

Prinzip der PLL-Schaltung

aufgrund Frequenzgenauigkeit:

Phase Locked Loop (PLL)

andere Problematiken zweitrangig



Gliederung

- Problemstellung, Aufgaben, Meßgrößen
- Prinzip der Phase-Locked-Loop (PLL)-Schaltung
 - ◆ „Standard“-PLL, „Charge-Pump“-PLL
 - ◆ Erzeugung höherer Frequenzen
- Integer-N-PLL
- Fractional-N-PLL
- Dual-Loop-PLL
- andere Art des Frequenzsynthese:
Direct-Digital-Synthesis und All-Digital PLL
- Zusammenfassung
- Literaturhinweise

Prinzip der PLL-Schaltung

Name: Phase-Locked-Loop-Schaltung „Phasen-Konstant-Schleife“:

Phasen-Differenz zwischen zwei Signalen ist konstant $\frac{d(\Phi_1 - \Phi_2)}{dt} = 0$

Sinn: frequenzmäßige Synchronisation von diesen zwei Signalen

Warum? Beziehung Phasendifferenz-Frequenz:

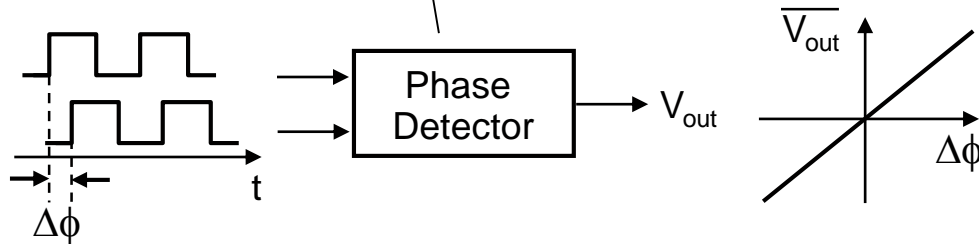
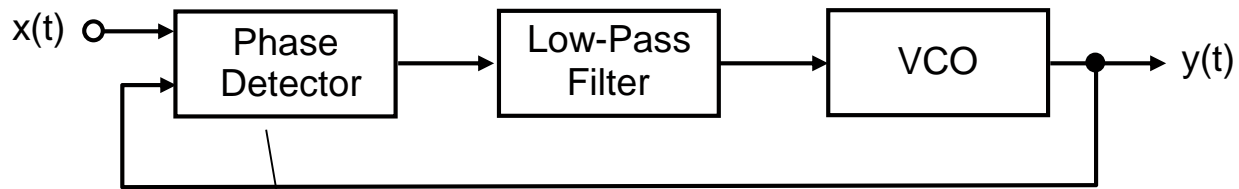
$$\Phi_1 - \Phi_2 = \int_0^t \omega_1 - \omega_2 \Leftrightarrow \frac{d(\Phi_1 - \Phi_2)}{dt} = \omega_1 - \omega_2$$

$$\text{also } \frac{d(\Phi_1 - \Phi_2)}{dt} = 0 \Rightarrow \omega_1 = \omega_2 \quad !!!$$

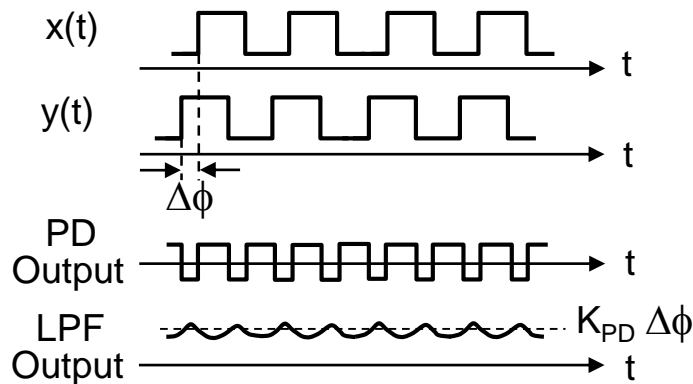


Prinzip der PLL-Schaltung

„Standard“-PLL-Schaltung:



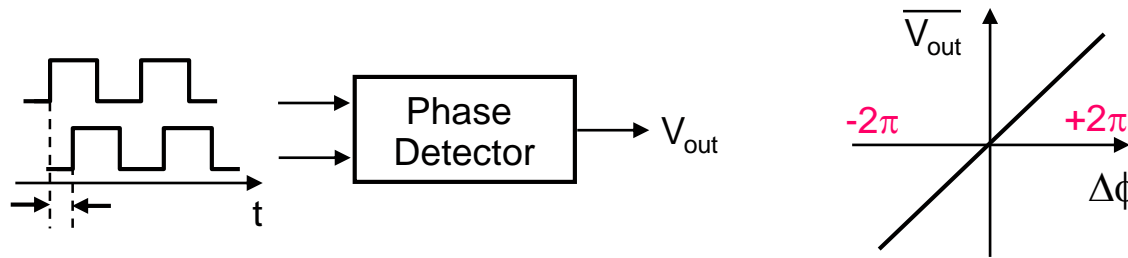
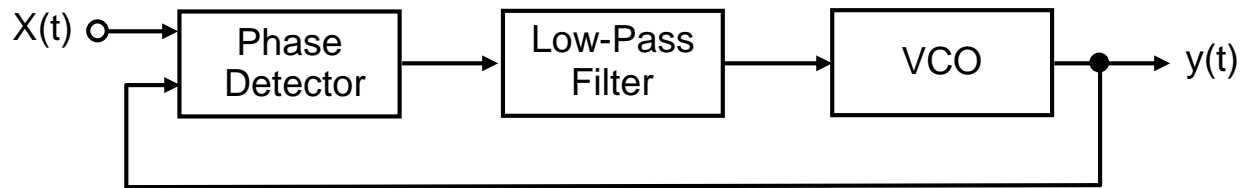
ideales Verhalten
des Phasen-Detektors !!



reales Verhalten
des digitalen
Phasen-Detektors !!

Prinzip der PLL-Schaltung

„Standard“-PLL-Schaltung:



ideales Verhalten des Phasen-Detektors !!

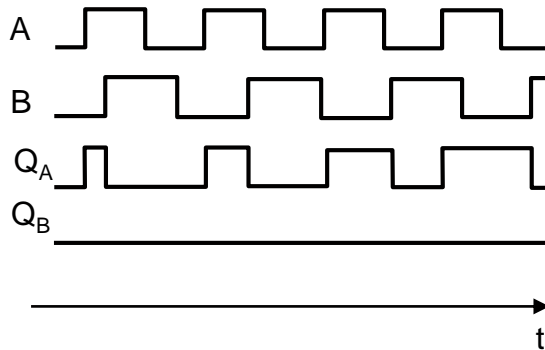
je besser der Phasendetektor, desto besser der "lock range"

Prinzip der PLL-Schaltung

Verbesserte Phasen-Detektor (erlaubt erweiterten „Lock Range“):
Phasen/Frequenz-Detektor (PFD)



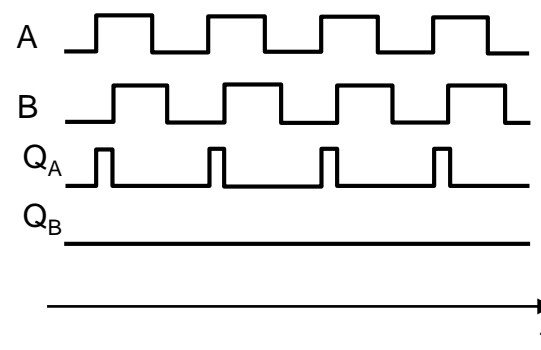
Frequenz(A) \neq Frequenz(B)



Frequenz(A) = Frequenz(B)

aber

Phase(A) \neq Phase(B)



- Q positiv flankengetriggert bezüglich A und B (Beispiel: Q_A positive Flanke High, dann B positive Flanke Low)
- Beispiel zuerst positive Flanke A, wenn B zuerst positive Flanke Q_B aktiv
- bei ungleicher Frequenz bleiben Q länger im High-Zustand als bei ungleicher Phase
⇒ schnelleres Einrasten

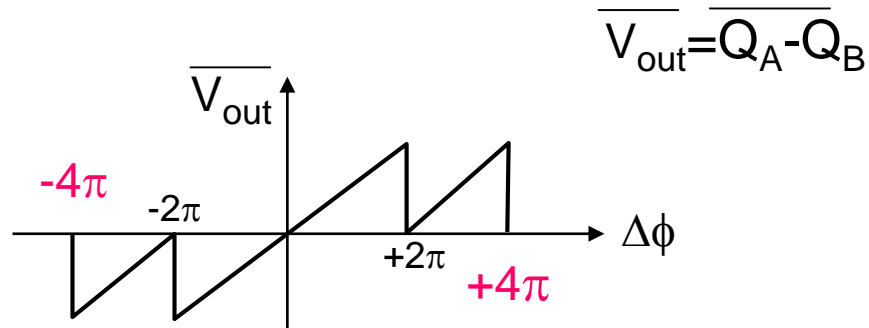
Prinzip der PLL-Schaltung

Verbesserte Phasen-Detektor (erlaubt erweiterten „Lock Range“):

Phasen/Frequenz-Detektor (PFD)



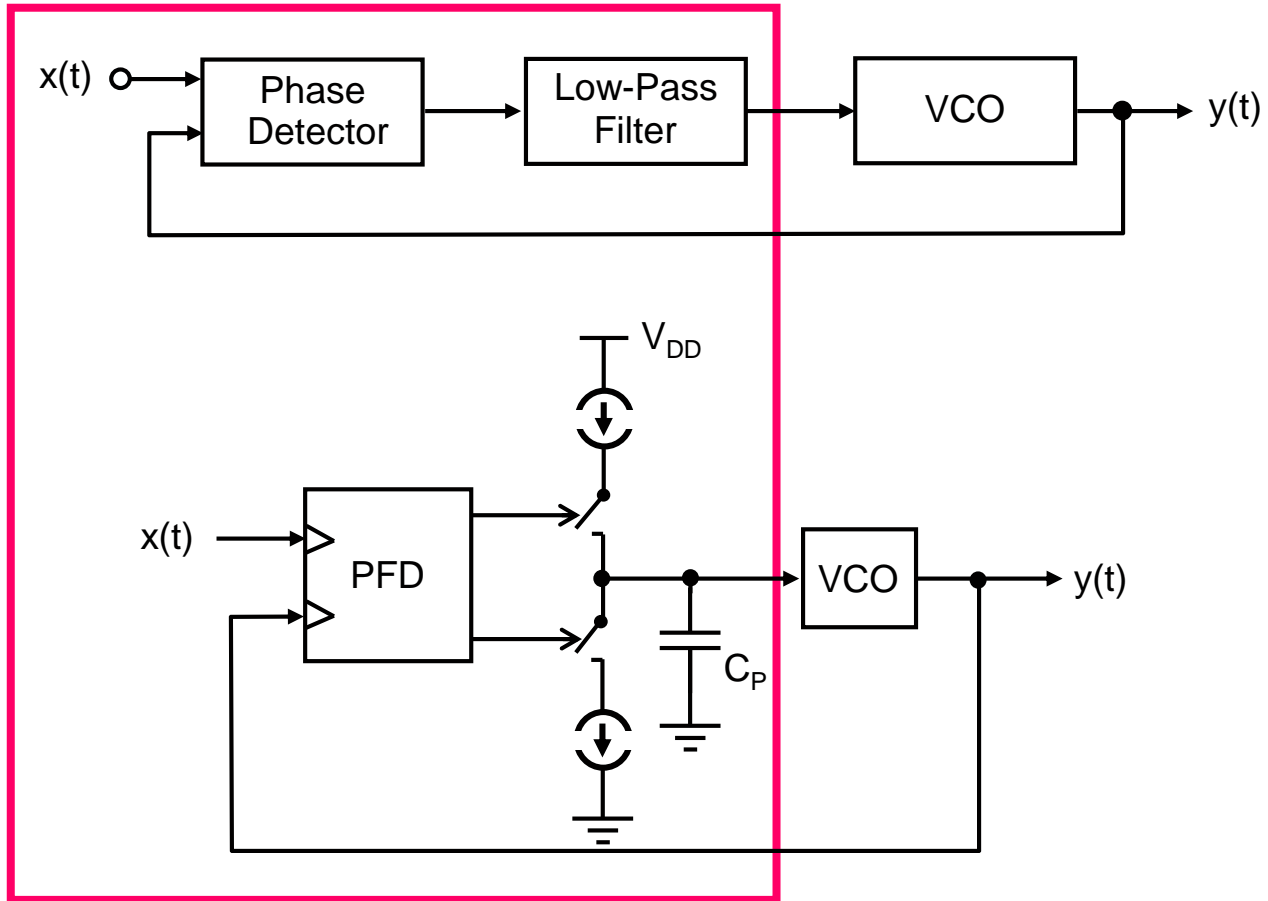
Charakteristik des PFD bei Frequenz(A)=Frequenz(B):



Prinzip der PLL-Schaltung

Phasen/Frequenz-Detektor (PFD)

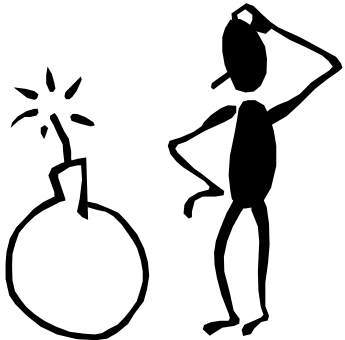
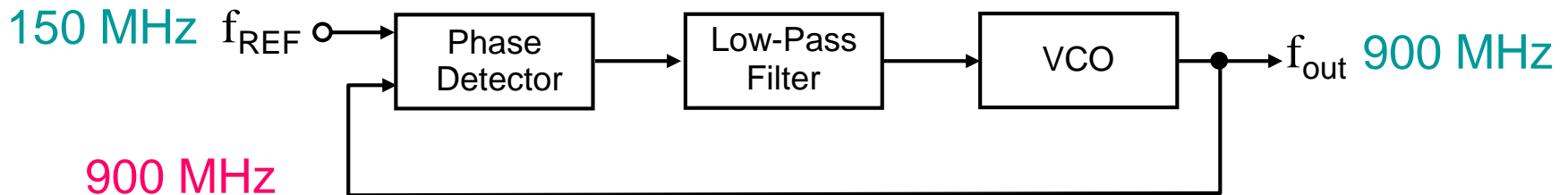
Aufbau einer „Charge-Pump-PLL“



Prinzip der PLL-Schaltung

Frage: Sie haben einen Quarz-Generator mit 150 MHz als Eingangsfrequenz zur Verfügung, wollen aber 900 MHz erzeugen !
Was tun ?

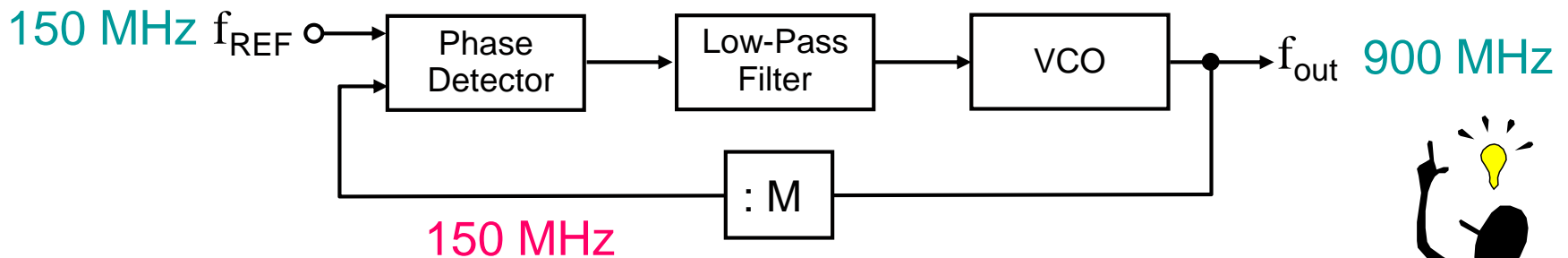
Antwort: ??



Prinzip der PLL-Schaltung

Frage: Sie haben einen Quarz-Generator mit 150 MHz als Eingangsfrequenz zur Verfügung, wollen aber 900 MHz erzeugen !
Was tun ?

Antwort: Frequenzteiler in der Rückführung zum Erzeugen einer höheren Frequenz als der Eingangsfrequenz

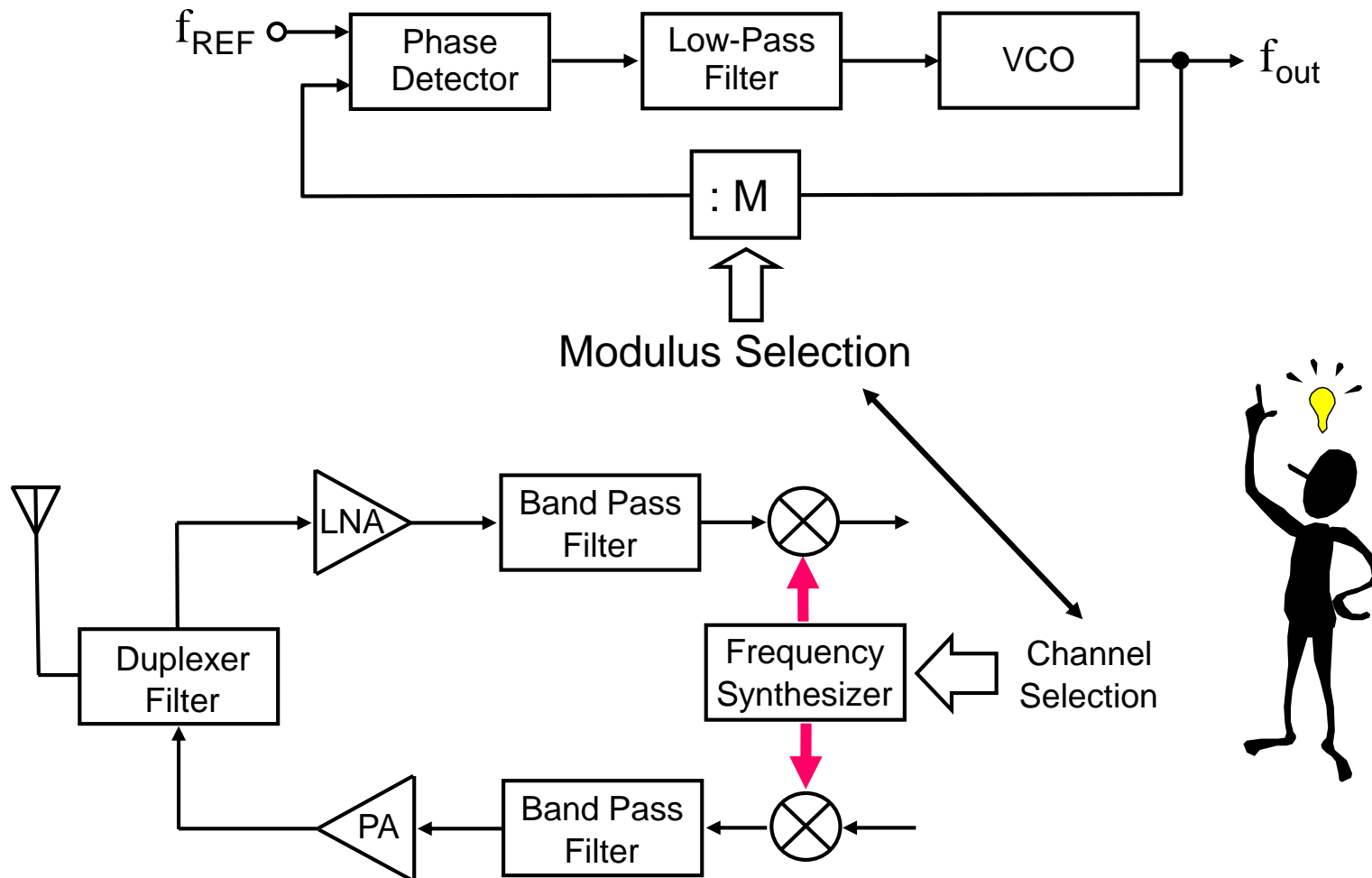


$$\omega_{OUT} = M \cdot \omega_{IN}$$



Prinzip der PLL-Schaltung

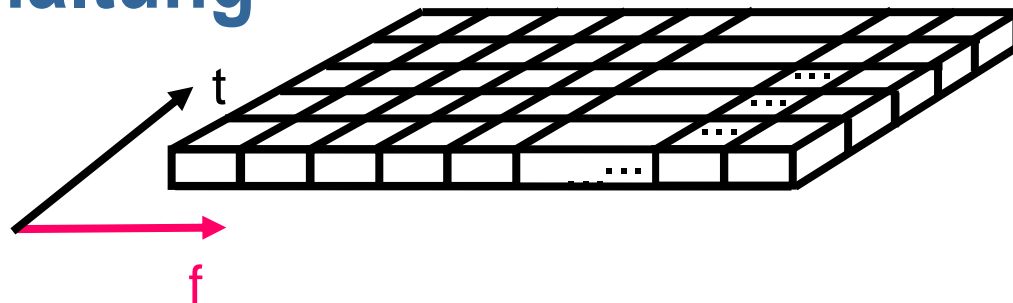
durch Setzen des Frequenzteilers: Kanalwahl möglich !!



Prinzip der PLL-Schaltung

Definition:

$$f_{OUT} = f_0 + k \cdot f_{CH}$$



Beispiel GSM Receive:

$$f_0 = 935 \text{ MHz}$$

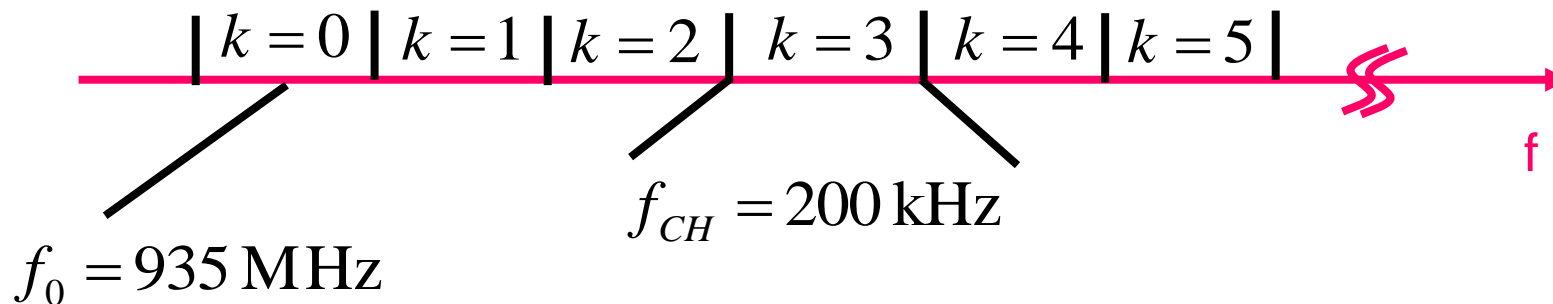
Anfangsfrequenz

$$k = 0..123$$

Kanalnummer

$$f_{CH} = 200 \text{ kHz}$$

Kanalbreite



Gliederung

- Problemstellung, Aufgaben, Meßgrößen
- Prinzip der Phase-Locked-Loop (PLL)-Schaltung
 - ◆ „Standart“-PLL, „Charge-Pump“-PLL
 - ◆ Erzeugung höherer Frequenzen
- Integer-N-PLL
- Fractional-N-PLL
- Dual-Loop-PLL
- andere Art des Frequenzsynthese:
Direct-Digital-Synthesis und All-Digital PLL
- Zusammenfassung
- Literaturhinweise

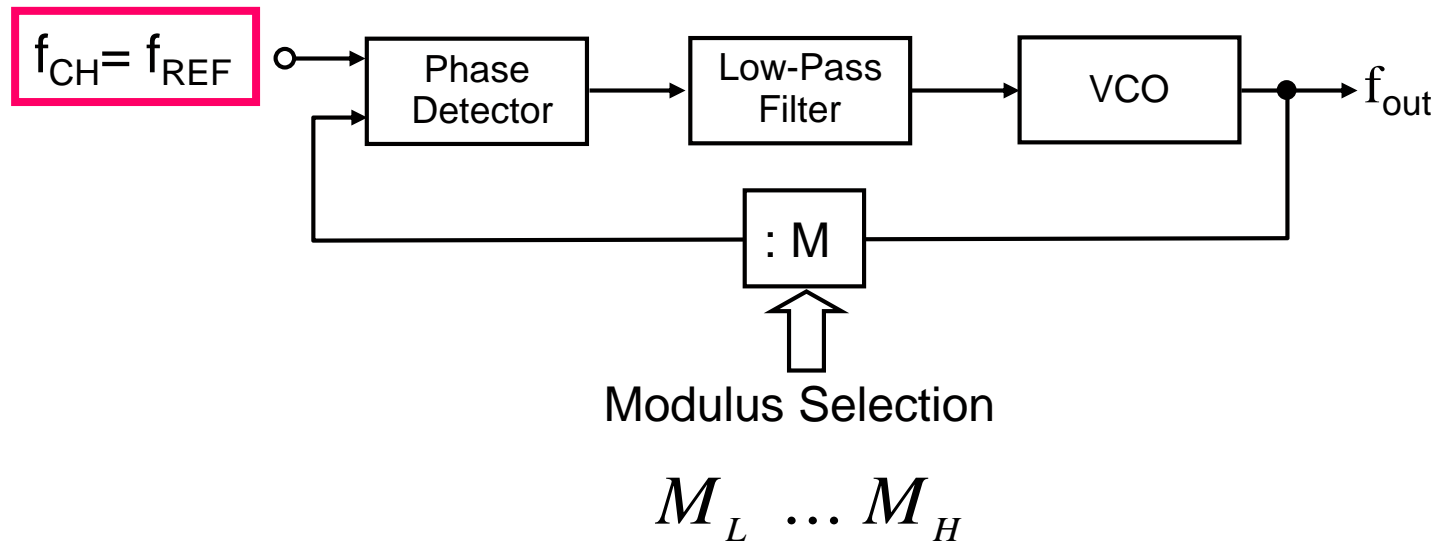
Integer-N-PLL

Integer-N-PLL: $f_{\text{ref}} = f_{\text{CH}}$

Name „Integer-N“: nur Vielfache von $f_{\text{ref}} = f_{\text{CH}}$ als Ausgangsfrequenz f_{OUT} möglich !!

$$f_{\text{OUT}} = f_0 + (M - M_L) \cdot f_{\text{CH}} = f_0 + (M - M_L) \cdot f_{\text{Ref}}$$

wobei $f_0 = M_L \cdot f_{\text{Ref}}$



z.Bsp. GSM $f_{\text{CH}} = f_{\text{REF}} = 200\text{kHz}$

Integer-N-PLL

Beurteilung von Integer-N-PLL:

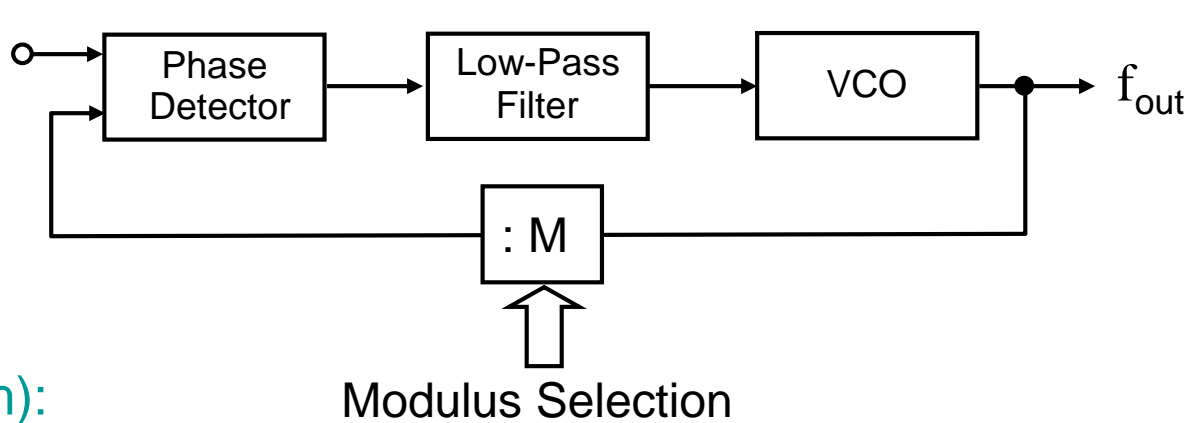
Vorteil:

$$f_{\text{CH}} = f_{\text{REF}}$$

- „relative“ Einfachheit

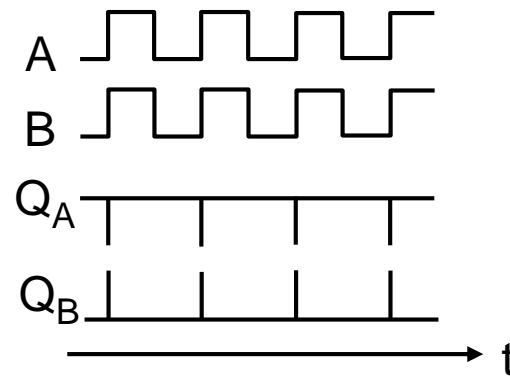
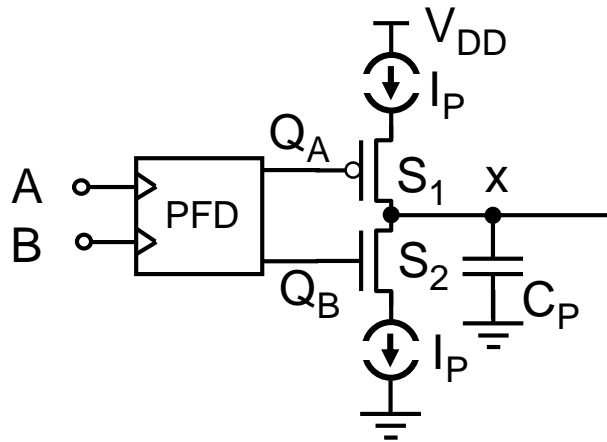
Nachteile (unter anderem):

- „hoher“ Zeitbedarf zum Frequenzwechsel
- Seitenbänder „reference spurs“

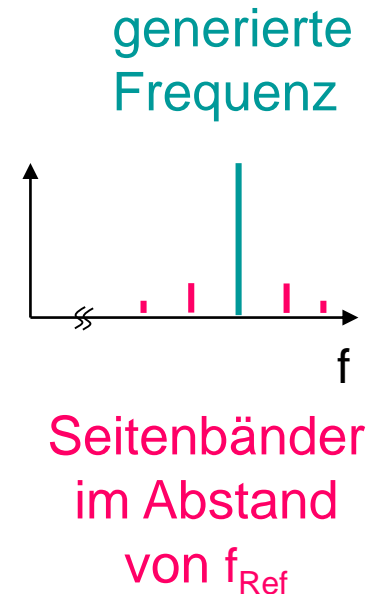
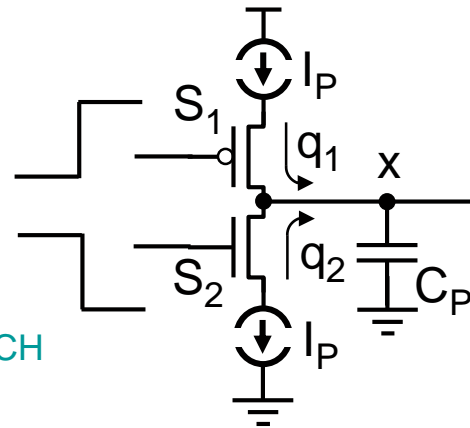


Integer-N-PLL

Nachteil: Seitenbänder „reference spurs“
 Ausgänge Q_A , Q_B : gleich große Ladungen
 ⇒ idealerweise kein Effekt!!



real: „charge injection mismatch“
 ⇒ kleine Spannung am VCO-Eingang ⇒ Korrektur
 ⇒ periodischer Vorgang mit $f_{ref} = f_{CH}$
 ⇒ „reference spurs“

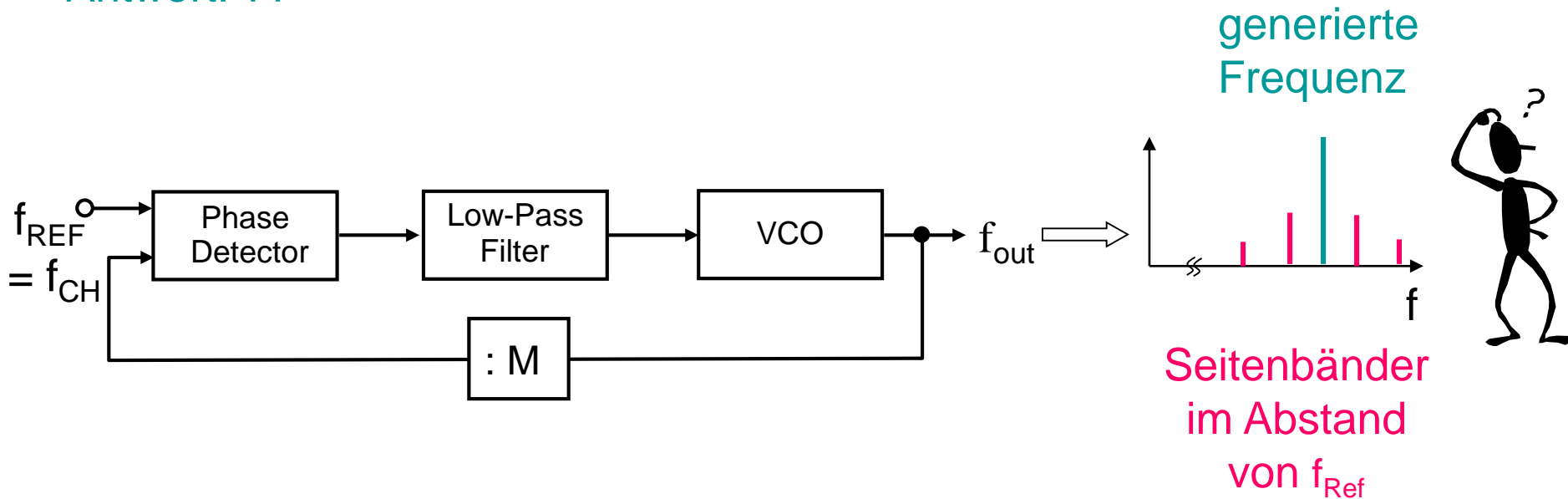


Integer-N-PLL

Nachteil: Seitenbänder „reference spurs“

Frage: Wie schaffen Sie Abhilfe gegen die „reference spurs“ ?

Antwort: ??

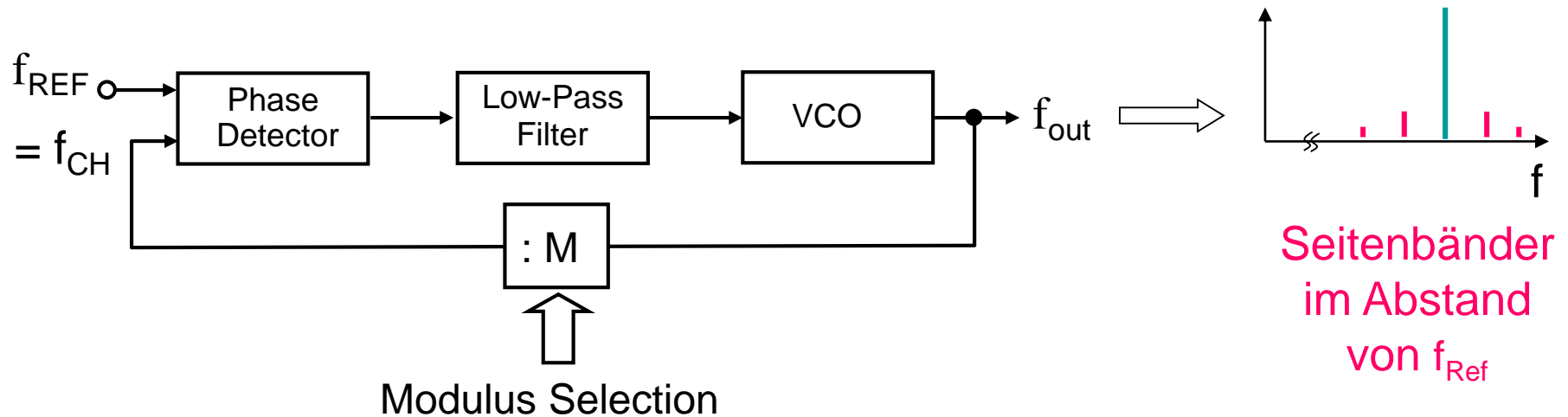


Integer-N-PLL

Nachteil: Seitenbänder „reference spurs“

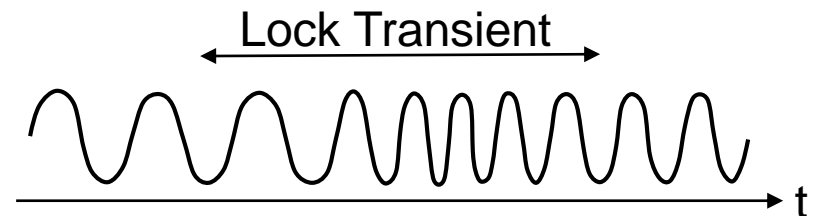
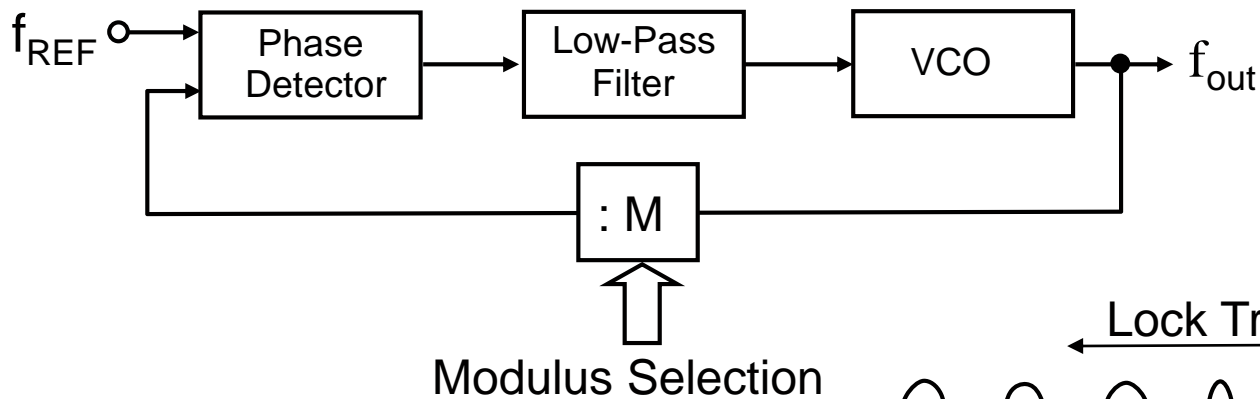
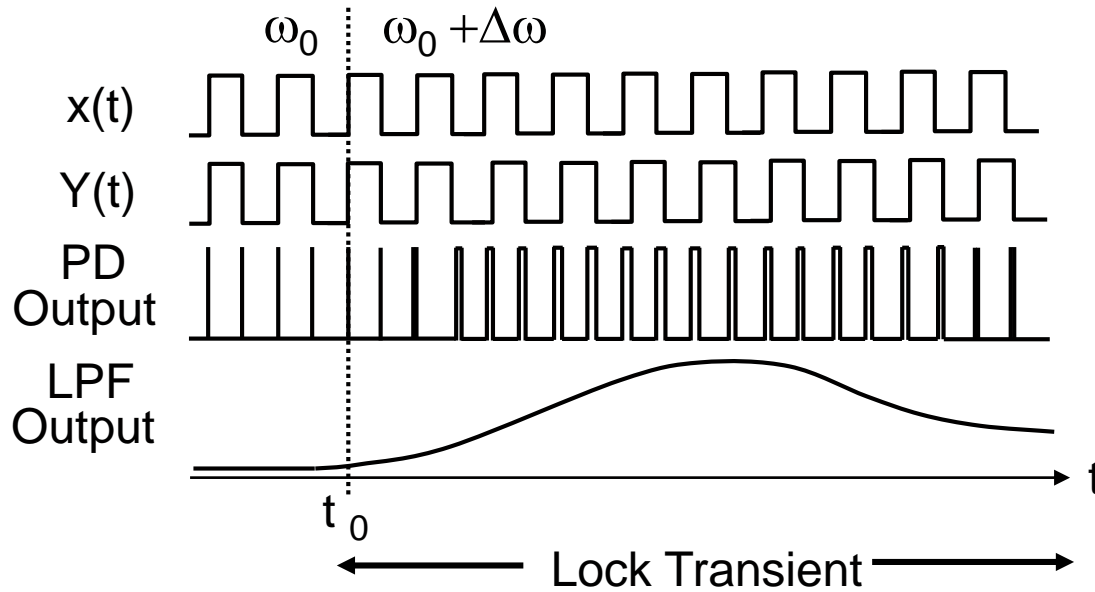
Frage: Wie schaffen Sie Abhilfe gegen die „reference spurs“ ?

Antwort: Abhilfe durch hohes C im Tiefpassfilter, aber dadurch „hoher“ Zeitbedarf zum Frequenzwechsel



Prinzip der PLL-Schaltung

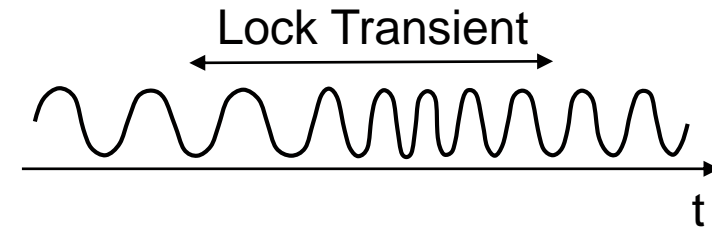
Frequenzsprung von PLL-Schaltung:



Integer-N-PLL

Nachteil: „hoher“ Zeitbedarf zum Frequenzwechsel

„Settling time“: Zeit während Lock Transient



„Settling time“ \Leftrightarrow „loop bandwidth“

„loop bandwidth“ bei Charge-Pump-PLL:

etwa ein Zehntel von $f_{\text{Ref}} = f_{\text{CH}}$

(z. Bsp. GSM $f_{\text{CH}}=200$ kHz \Rightarrow „loop bandwidth“ =20 kHz)

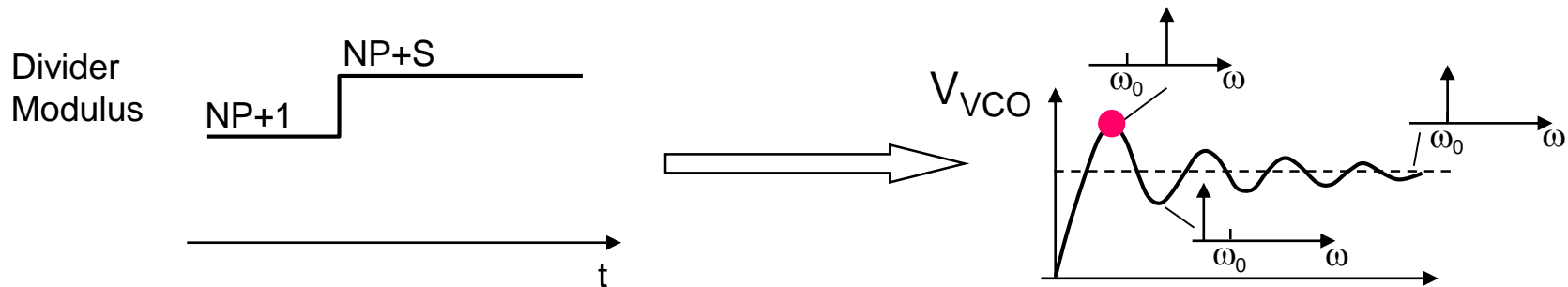
\Rightarrow „settling time“ zu groß ??



Integer-N-PLL

Nachteil: „hoher“ Zeitbedarf zum Frequenzwechsel

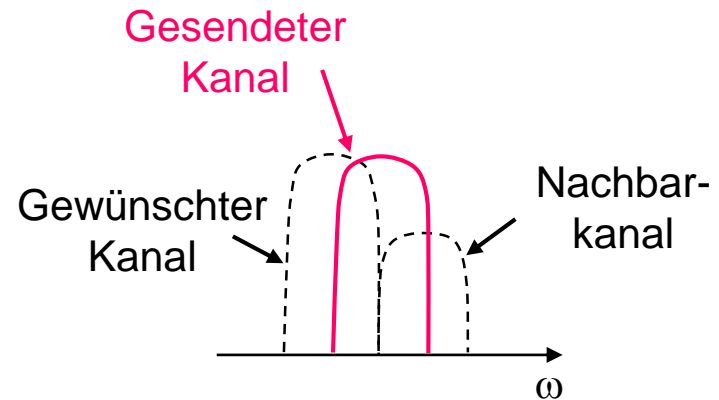
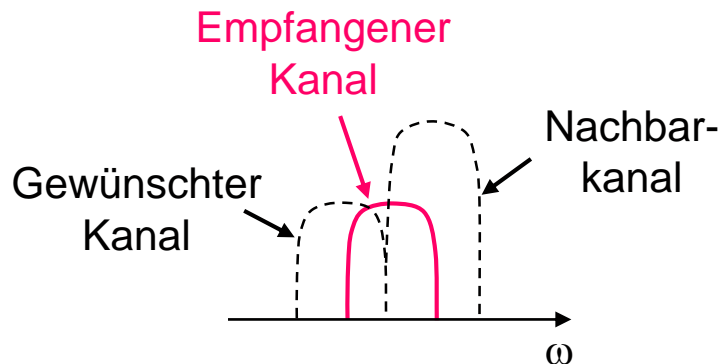
Beispiel: maximaler Frequenzwechsel: Sprung von M_L auf M_H :



führt zu:

Receive

Transmit



Integer-N-PLL

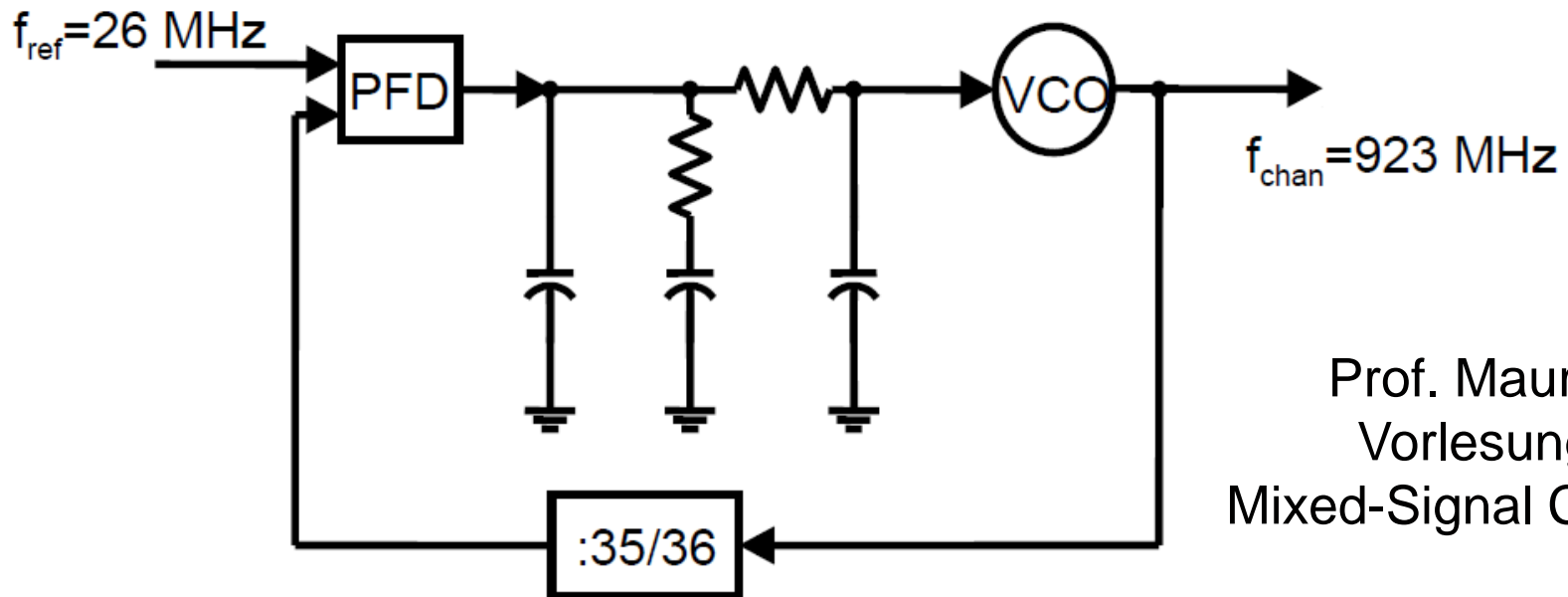
Alternative zu „Integer-N-PLL“:

- „Fractional-N-PLL“
- „Dual-Loop-Architektur“
- „Direct Digital Synthesis“

Fractional-N-PLL

Realisierung Fraktionaler Teilverhältnisse

- $f_{\text{ref}} = 26 \text{ MHz}$
- Kanalfrequenz $f_{\text{chan}} = 923 \text{ MHz}$
- $f_{\text{chan}} = 35.5 * 26 \text{ MHz}$



Prof. Maurer
Vorlesung
Mixed-Signal Circuits

Nachteil: „fractional spurs“

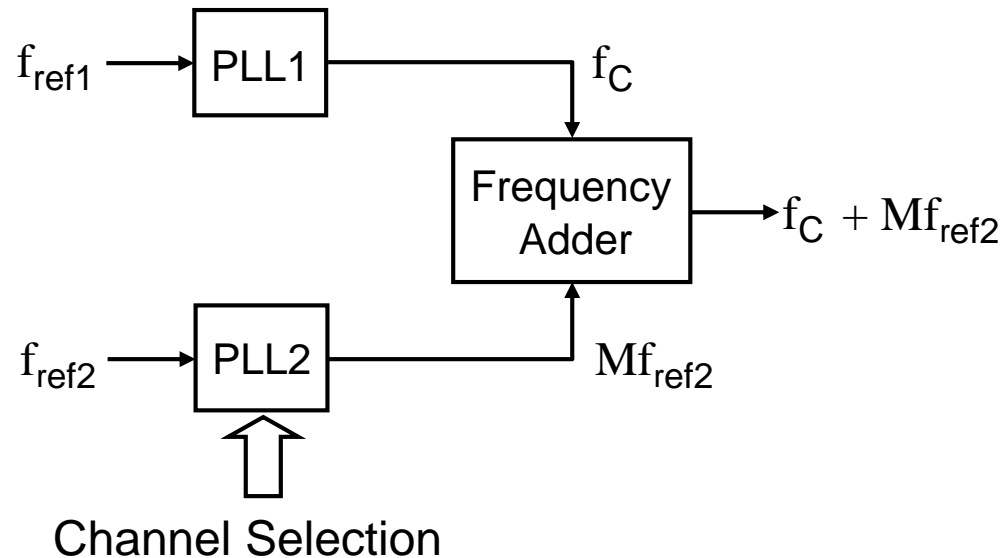
Dual-Loop-Architektur

Prinzip der Dual-Loop-Architektur:

PLL₁: feste Frequenz

PLL₂: abstimmbar zur Kanalselektion

Ausgangssignale beider PLLs: Additionsstufe



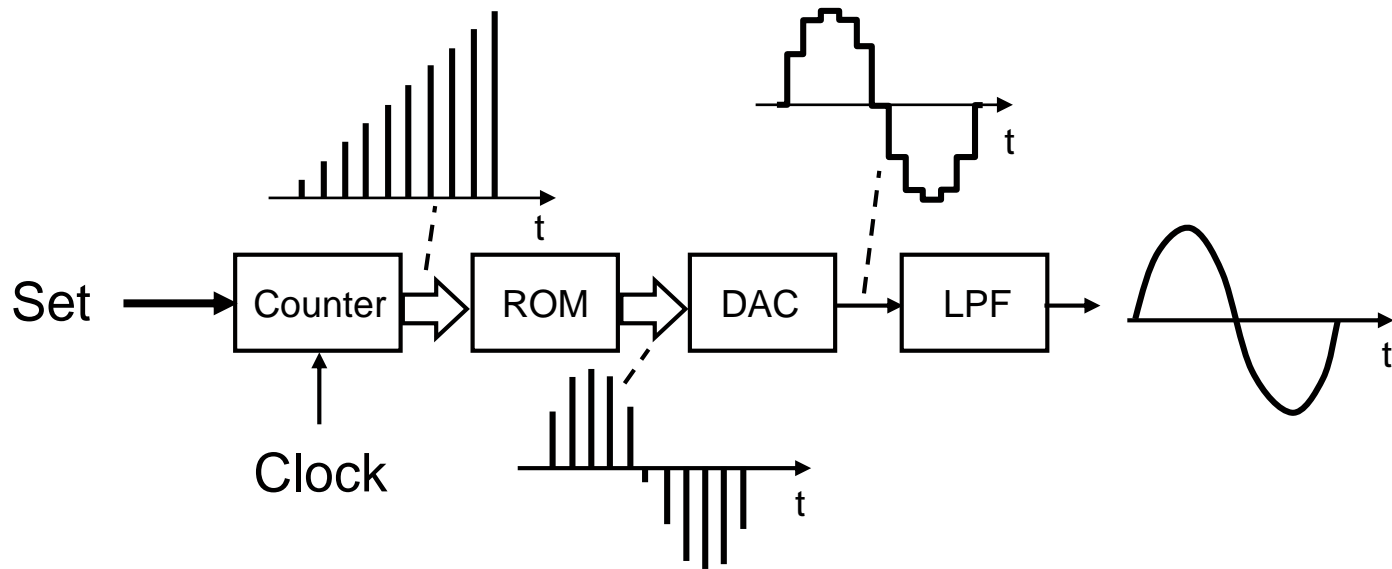
Gliederung

- Problemstellung, Aufgaben, Meßgrößen
- Prinzip der Phase-Locked-Loop (PLL)-Schaltung
 - ◆ „Standart“-PLL, „Charge-Pump“-PLL
 - ◆ Erzeugung höherer Frequenzen
- Integer-N-PLL
- Fractional-N-PLL
- Dual-Loop-PLL
- andere Art des Frequenzsynthese:
Direct-Digital-Synthesis und All-Digital PLL
- Zusammenfassung
- Literaturhinweise

Direct Digital Synthesis

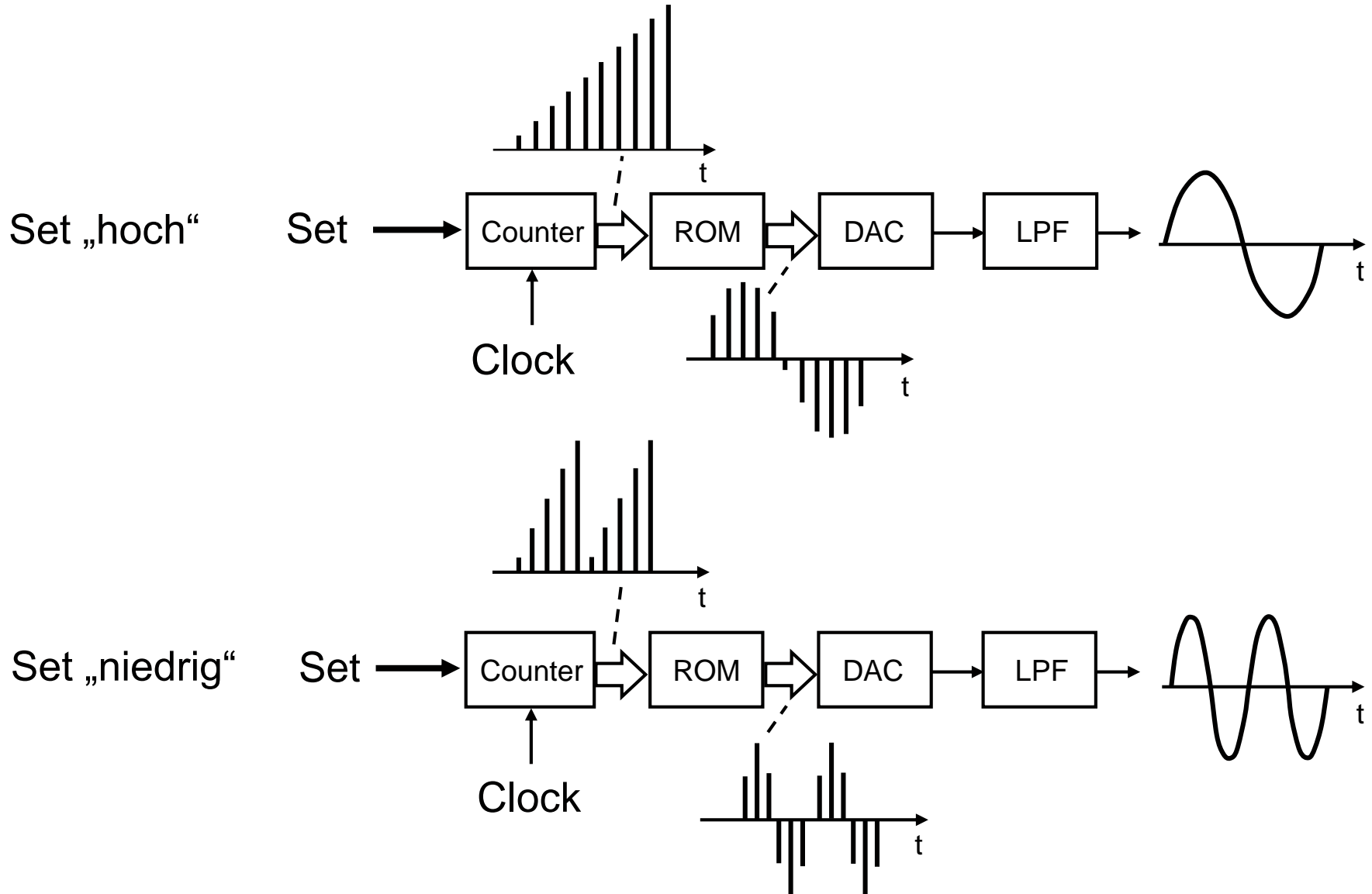
Direct Digital Synthesis (DDS): Ausgangsfrequenzen rein digital

Prinzip:



Direct Digital Synthesis

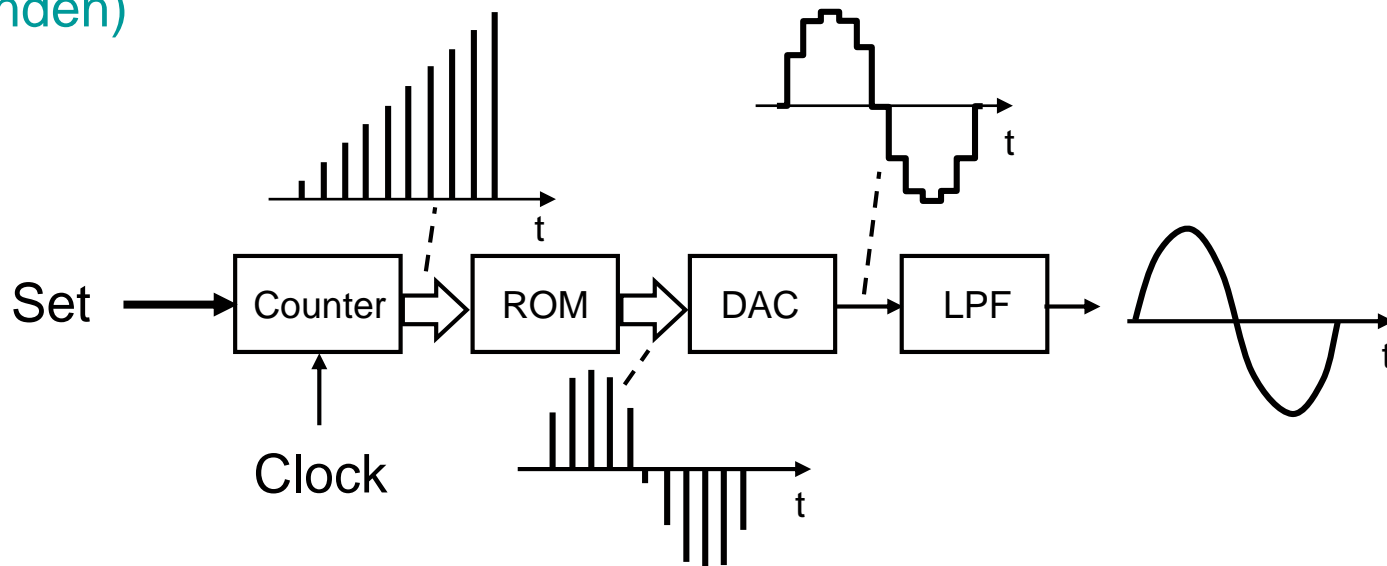
Veränderung der Frequenz: „Set“-Eingang



Direct Digital Synthesis

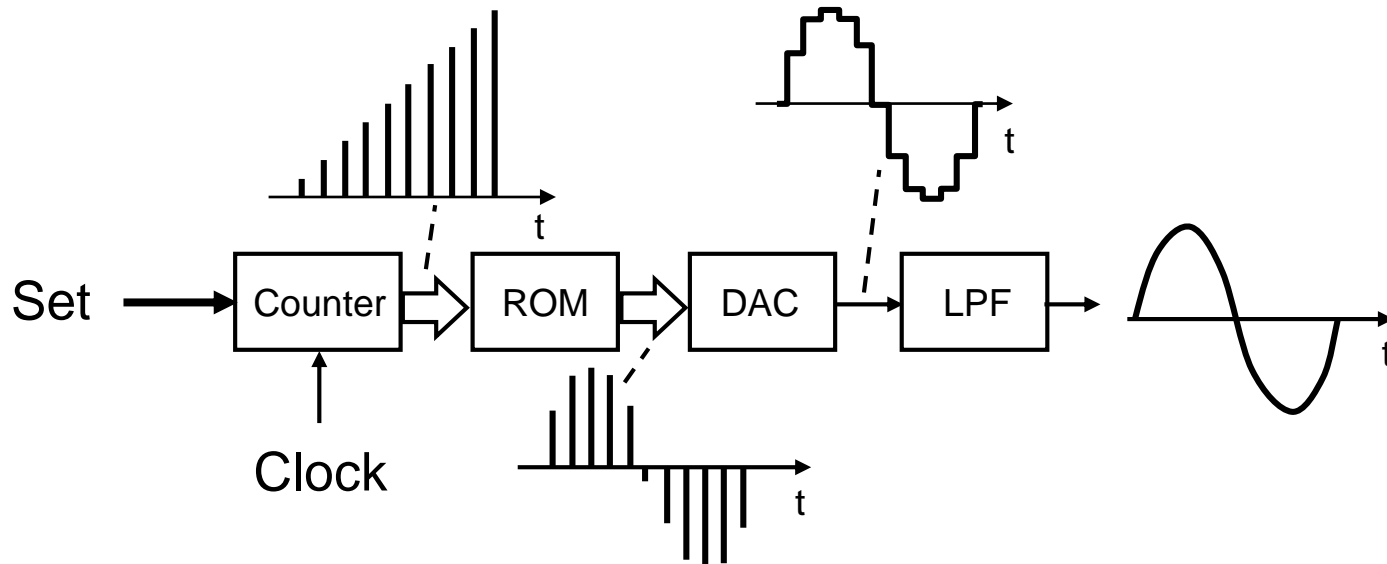
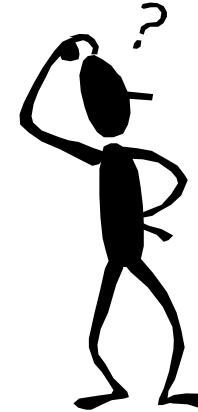
Vorteil der Direct Digital Synthesis:

- geringes Phasenrauschen als VCO
- sehr frequenzgenau
- kurze „settling time“ bei Frequenzänderung
- kontinuierlicher Phasenübergang bei Frequenzwechsel im Ausgangssignal (für manche Modulationsarten wichtig)
- direkte Modulation möglich (Modulationssignal auch in digitaler Form vorhanden)



Direct Digital Synthesis

Frage: Nachteil der Direct Digital Synthesis ??



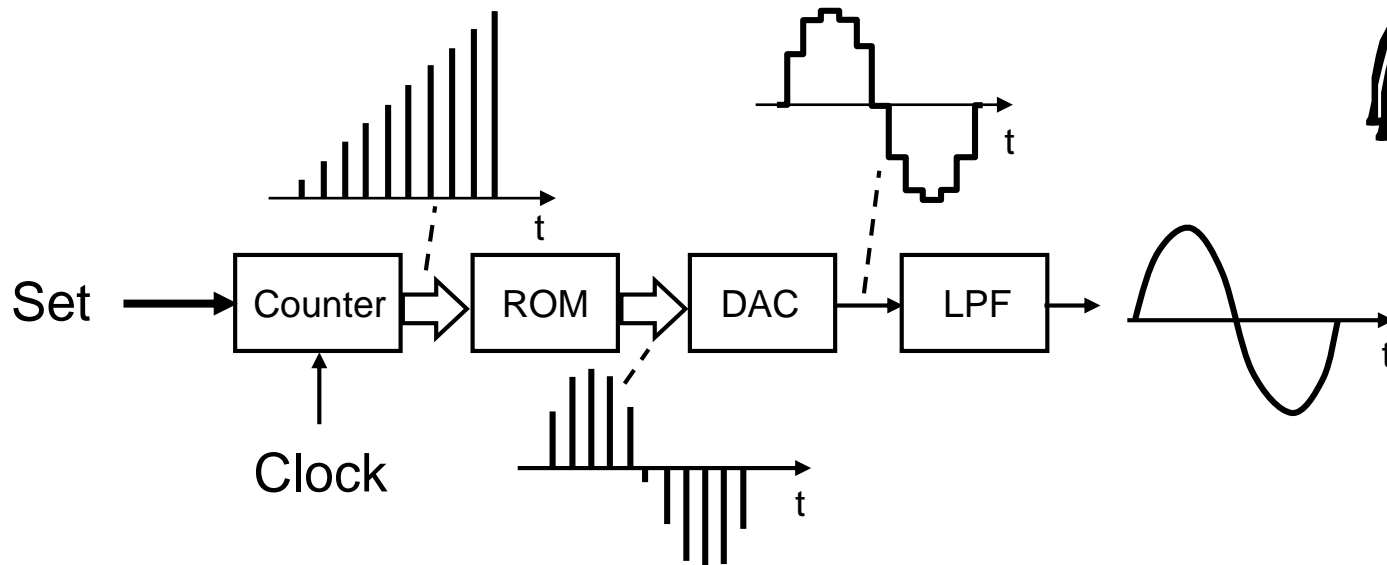
Direct Digital Synthesis

Nachteil der Direct Digital Synthesis:

- Nyquist-Theorem: mindestens $2 \cdot f_{\text{out}} = f_{\text{Clock}}$!! (Rechteckimpulse)
real ungefähr $3-4 \cdot f_{\text{out}} = f_{\text{Clock}}$!! (Rechteckimpulse)

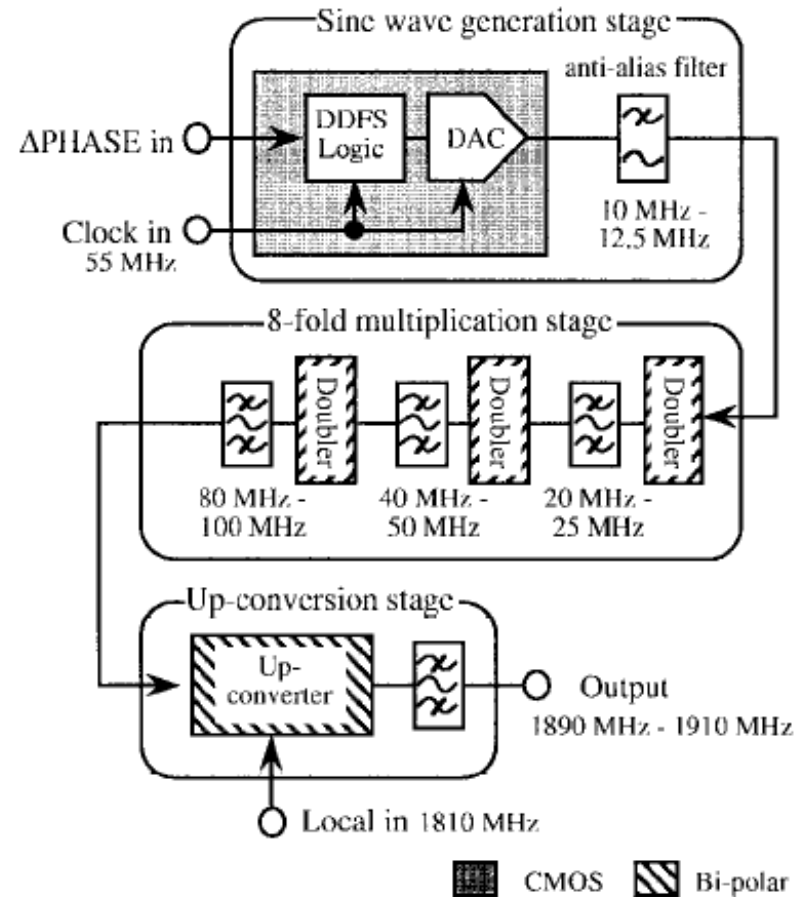
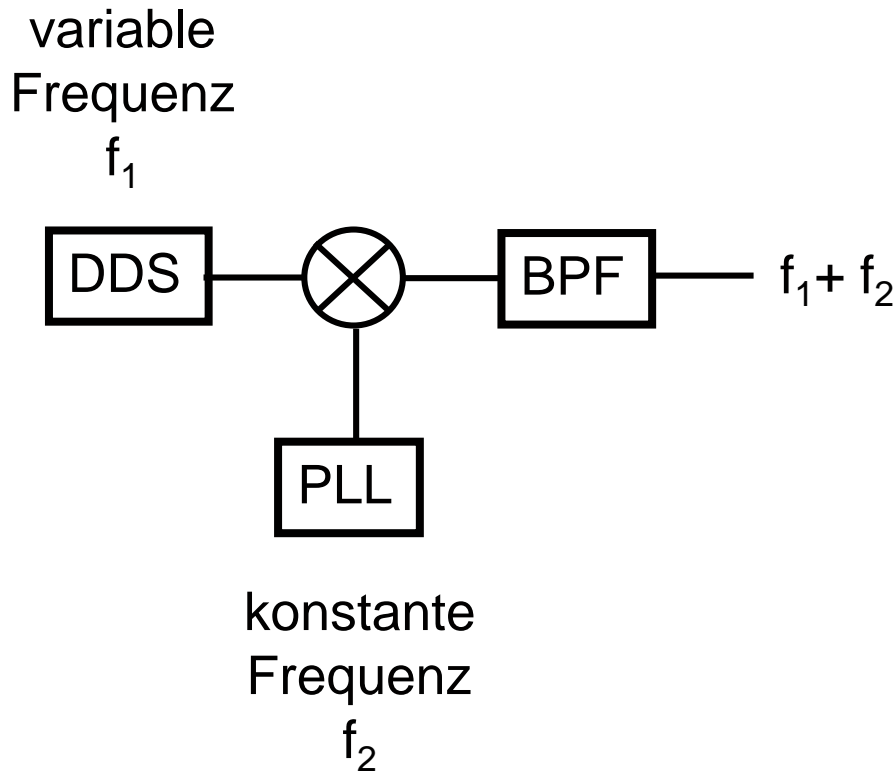
Beispiel: GSM: $3-4 \cdot 900\text{MHz} = 2,7-3,6 \text{ GHz}$ Geschwindigkeitsproblem !!

- DAC im GHz-Bereich in CMOS bisher unmöglich



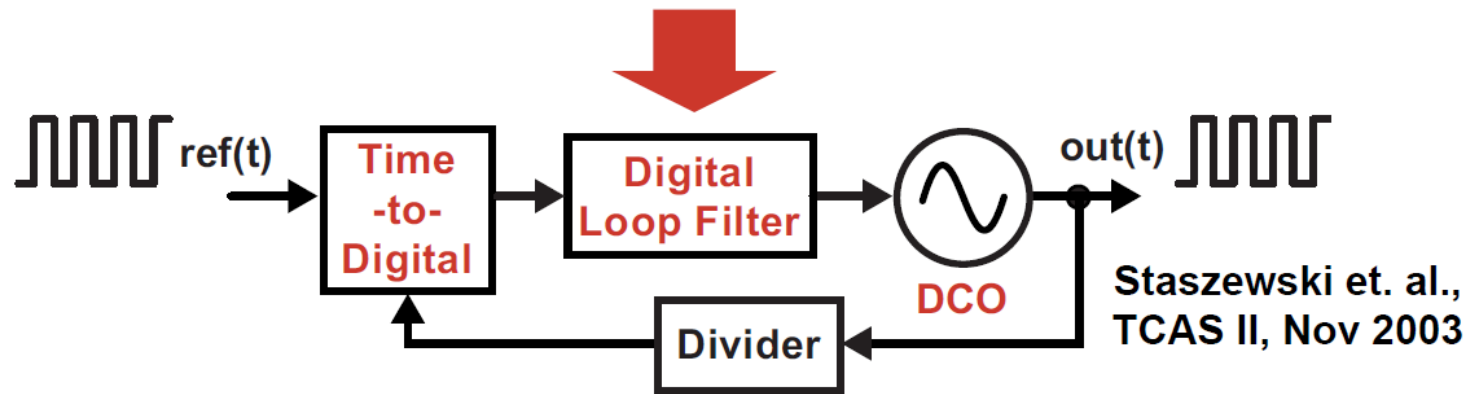
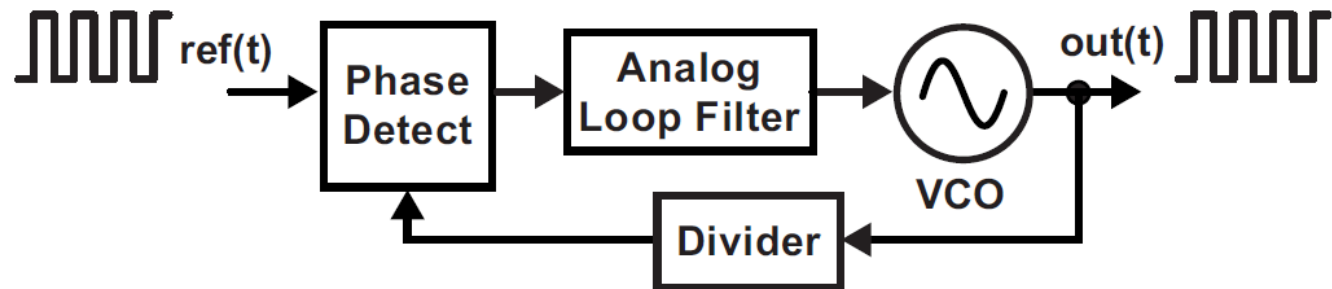
Direct Digital Synthesis

Anwendung im GHz-Bereich (Dual-Loop-Architektur mit DDS):



All-Digital PLL

Going Digital ...



- Digital loop filter: compact area, insensitive to leakage
- Challenges:
 - Time-to-Digital Converter (TDC)
 - Digitally-Controlled Oscillator (DCO)

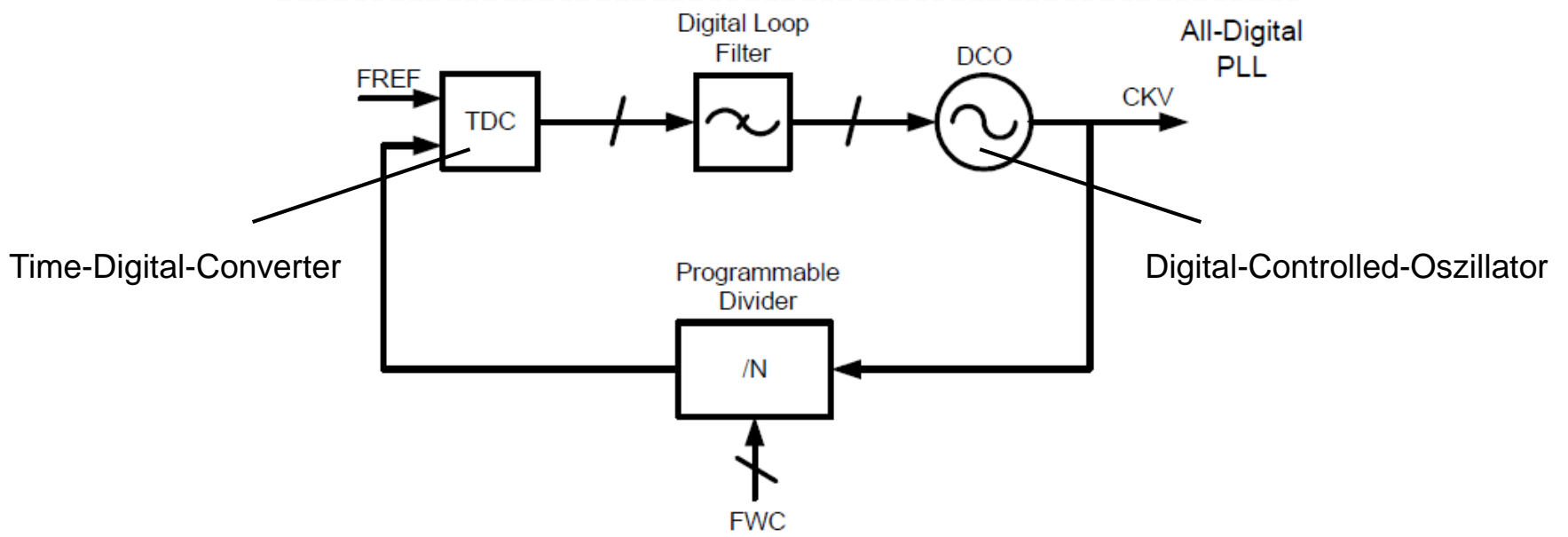
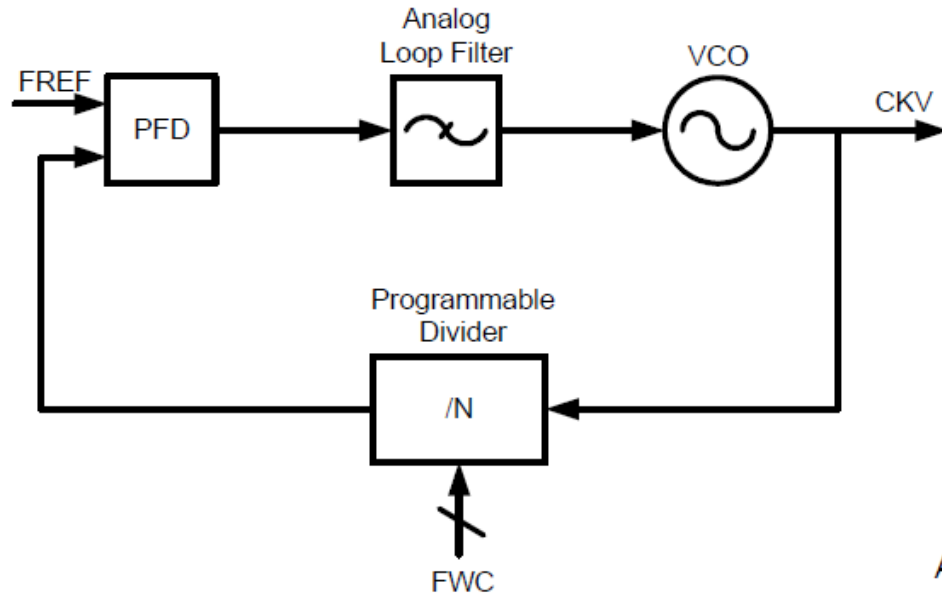
All-Digital PLL

Compared to analog PLLs, digital PLLs (DPLLs) can be advantageous because of the following.

- 1) They enable the replacement of the phase-frequency detector (PFD) and charge pump (CP) in traditional analog PLLs, thereby resulting in low-voltage designs that avoid the non-idealities of the PFD/CP, the mitigation of which has become increasingly challenging with continued technology scaling.
- 2) They reduce die area by replacing the analog loop filter with a digital filter.
- 3) They allow a high degree of programmability or re-configurability to cover the specifications of different applications and communication standards and to accommodate widely varying PVT and loop gain conditions.
- 4) They enjoy greater noise immunity from supply and substrate noise coupling to the oscillator's control port.
- 5) They enjoy a shorter design cycle which is important when porting a design across technology nodes or vendors.
- 6) Their scaling-friendly nature facilitates the use of digital signal processing to mitigate non-idealities and to enhance performance.

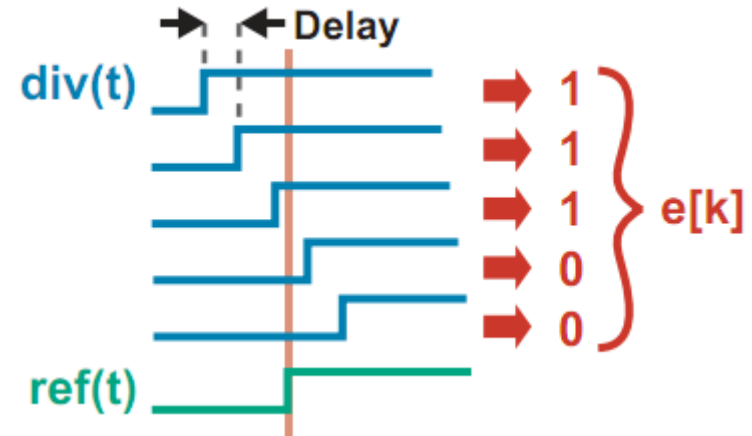
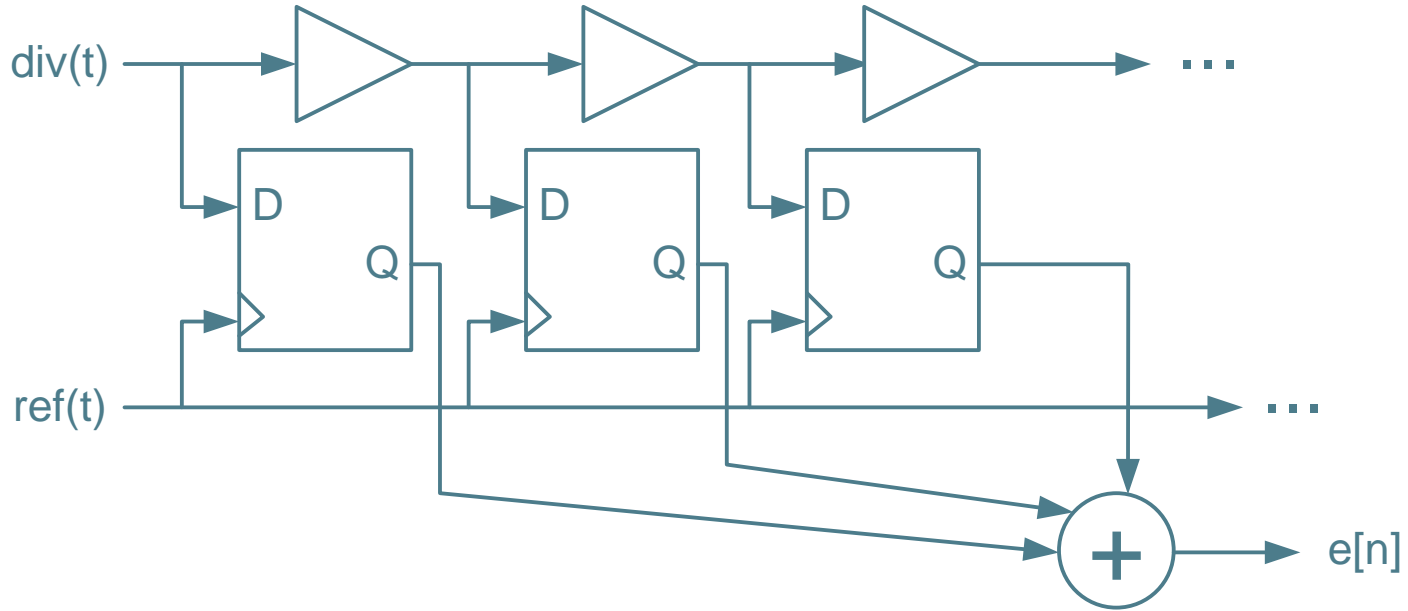
Process Voltage and Temperature

All-Digital PLL



All-Digital PLL

TDC

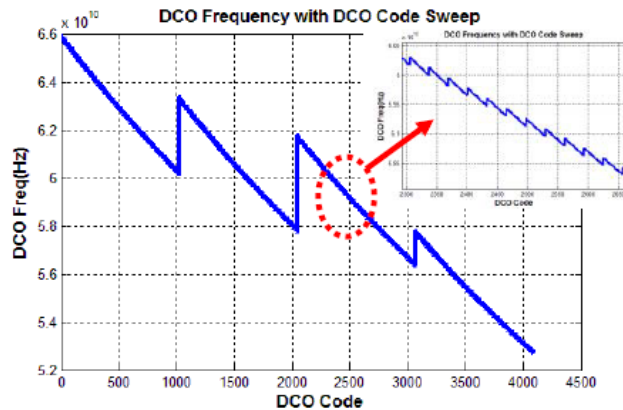


All-Digital PLL

DCO

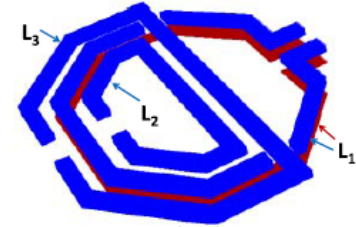
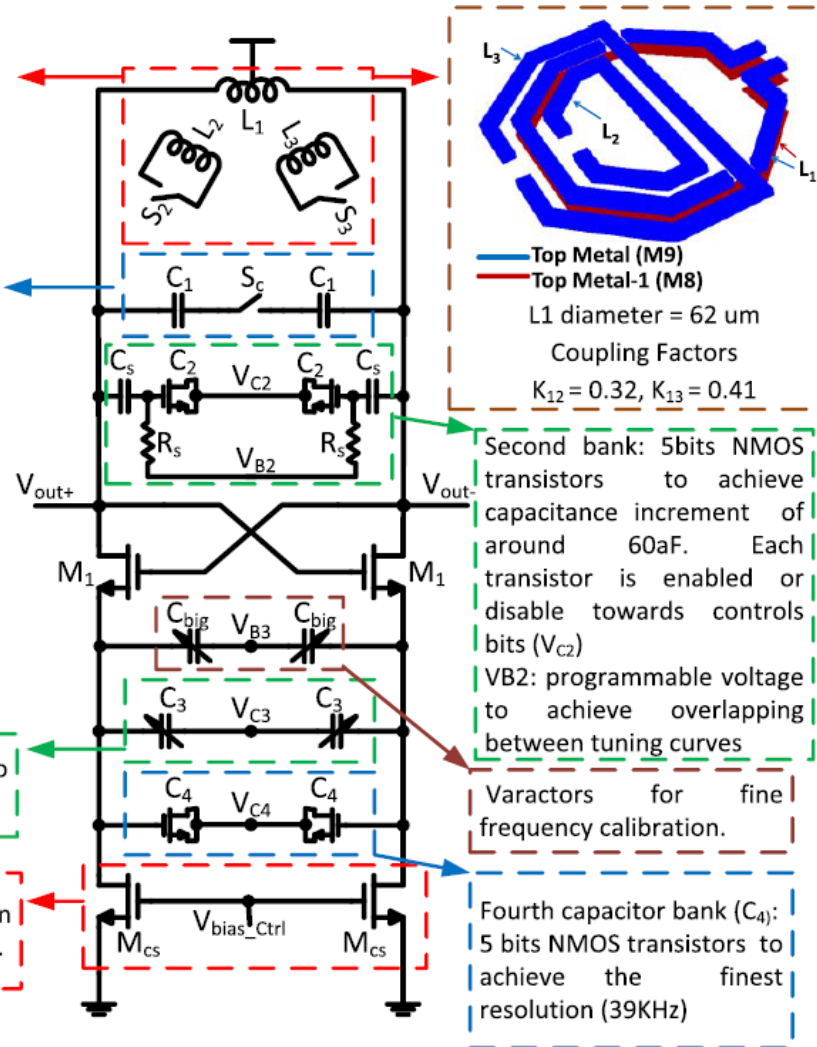
2-bits switched inductor to achieve the largest frequency jumps: 4bands

First bank: 5-bits custom metal finger capacitors to achieve very coarse tuning. Custom capacitors are implemented with wider traces to improve quality factor



Third capacitor bank (C_3): 6 bits switched varactors to achieve fine resolution by capacitive degeneration

Programmable current source to allow for PVT variation and maintain the output swing across all frequency bands.



— Top Metal (M9)
— Top Metal-1 (M8)
L1 diameter = 62 um
Coupling Factors
 $K_{12} = 0.32, K_{13} = 0.41$

Second bank: 5bits NMOS transistors to achieve capacitance increment of around 60aF. Each transistor is enabled or disable towards controls bits (V_{C2})
 V_{B2} : programmable voltage to achieve overlapping between tuning curves

Varactors for fine frequency calibration.

Fourth capacitor bank (C_4): 5 bits NMOS transistors to achieve the finest resolution (39KHz)

Process Voltage and Temperature variation

All-Digital PLL

2018 IEEE Radio Frequency Integrated Circuits Symposium

A 15.6-18.2 GHz **Digital** Bang-Bang PLL with -63dBc In-Band Fractional Spur

Dmytro Cherniak^{1,2}, Luigi Grimaldi¹, Fabio Padovan², Matteo Bassi²,
Roberto Nonis², Carlo Samori¹, Salvatore Levantino¹

¹Politecnico di Milano, Milan, Italy

²Infineon Technologies, Villach, Austria

A 5.5-7.3 GHz **Analog** Fractional-N Sampling PLL in 28-nm CMOS with 75 fs_{rms} Jitter and -249.7 dB FoM

Wanhua Wu^{#1}, Chih-Wei Yao^{#2}, Kunal Godbole[#], Ronghua Ni[#], Pei-Yuan Chiang[#], Yongping Han[#],
Yongrong Zuo[#], Ashutosh Verma[#], Ivan Siu-chuang Lu[#], Sang Won Son[#], Thomas Byunghak Cho^{*}

[#]Samsung Semiconductor, Inc., San Jose, CA, USA

^{*}Samsung Electronics Co., Ltd., Hwaseong-si, KR

¹wanhua.wu@samsung.com, ²chihwei.yao@samsung.com

Abstract— We present a low jitter, DTC-based analog fractional-N PLL with novel, background DTC gain calibration and reference clock duty cycle correction for high performance applications. The PLL achieves a 75-fs rms jitter, integrated from 10 kHz to 10 MHz and a -249.7 dB figure of merit at fractional mode. The measured fractional-N spurs are less than -64 dBc across the 5.5-7.3 GHz output frequency. Implemented in 28-nm CMOS, this PLL consumes 18.9 mW and occupies 0.5 mm².

Index Terms—fractional-N PLL, sampling PLL, analog PLL, digital-to-time convert (DTC), DTC gain calibration, duty cycle correction, comparator offset compensation.

I. INTRODUCTION

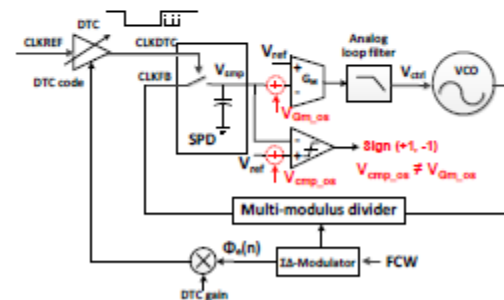


Fig. 1. A generalized DTC-based sampling analog PLL.

aber immer mehr digitale Bausteine !

Zusammenfassung

- Problemstellung
- Prinzip der Phase-Locked-Loop (PLL)-Schaltung
 - ◆ „Standart“-PLL, „Charge-Pump“-PLL
 - ◆ Erzeugung höherer Frequenzen
- Integer-N-PLL
- Fractional-N-PLL
- Dual-Loop-PLL
- andere Art des Frequenzsynthese:
Direct-Digital-Synthesis und All-Digital PLL
- Zusammenfassung
- Literaturhinweise

Literaturhinweise

Bücher:

-B. Razavi, „RF Microelectronics“ ,Prentice Hall, 2011,
ISBN 0-13-713473-8

-B.Razavi, „Challenges in the Design of Synthesizers for Wireless Applications“, Custom Integrated Circuits Conference 1997