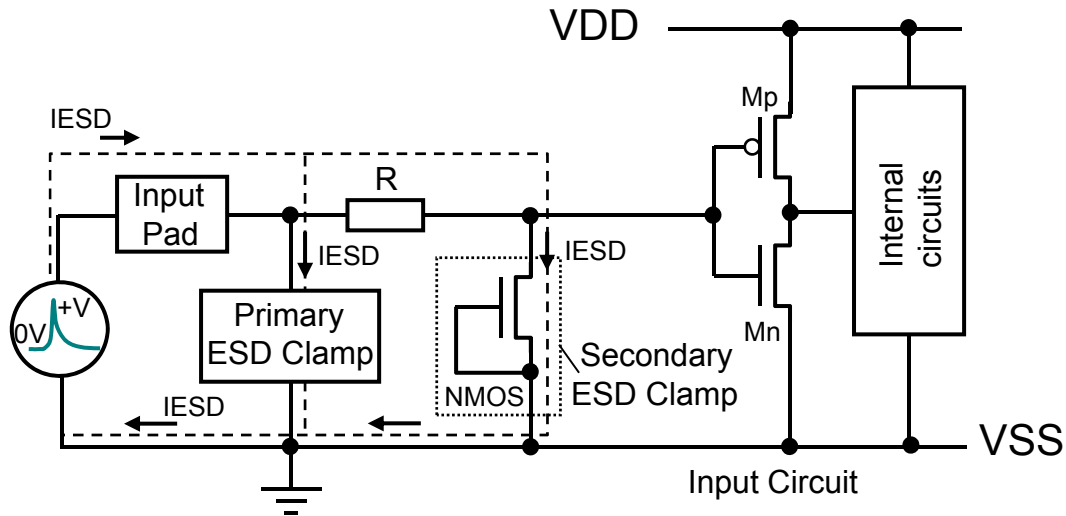


# Überblick über ESD-Schutzstrukturen



Roland Pfeiffer  
19. Vorlesung

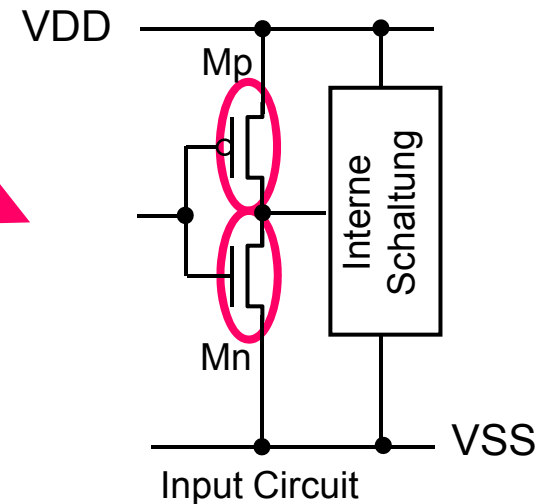
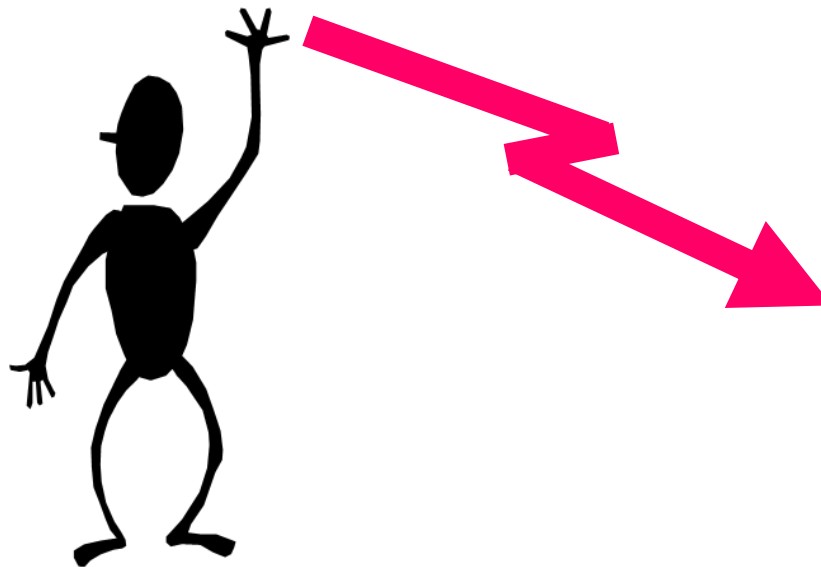


# Problemstellung

statische Aufladung von Menschen und Maschinenteilen, Entladung über IC  
oder

statische Aufladung von IC, Entladung über Menschen und Maschinenteilen

## Electric Static Discharge (ESD)

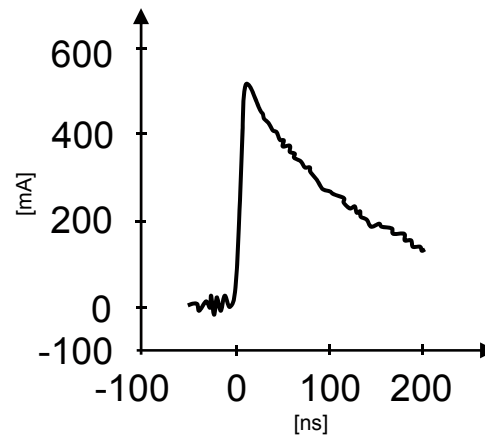


MOS-Schaltungen: ESD-Schutz von Gate-Oxid

# Problemstellung

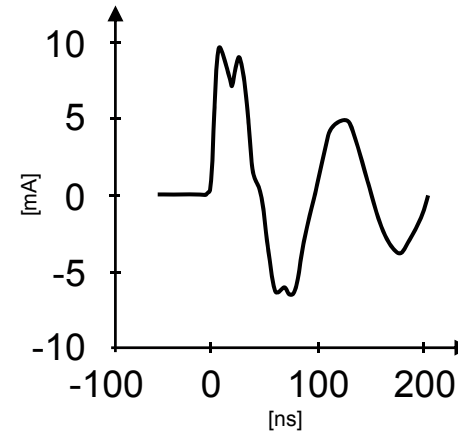
## Modellierung ESD-Test:

„Human Body Model (HBM)“



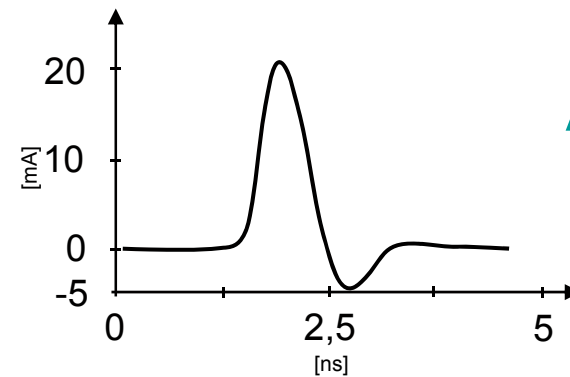
Anstiegszeit  
 $\leq 10\text{ns}$

„Machine Model (MM)“



Anstiegszeit  
 $\leq 10\text{ns}$

„Charged Device Model (CDM)“



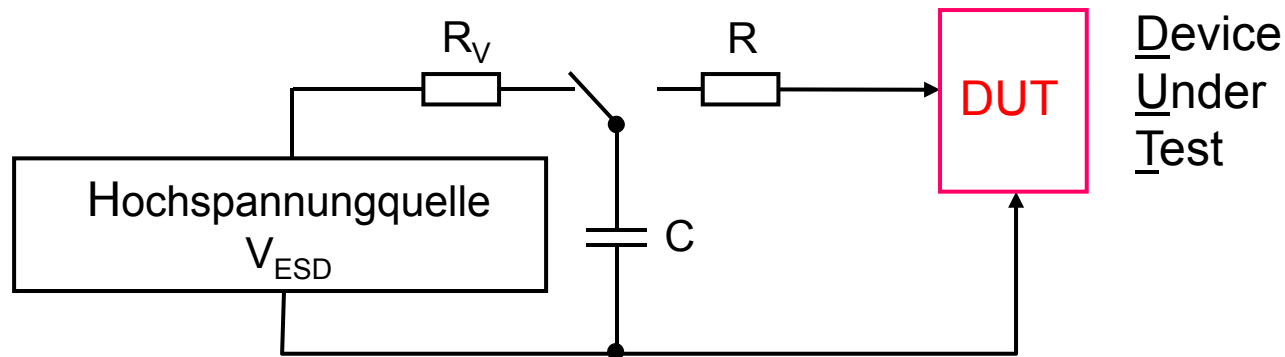
Anstiegszeit  
 $\leq 200\text{ps}$



# Problemstellung

## ESD-Test:

jeweils RC-Kreise, die zur Nachbildung eines menschlichen Körpers bzw. eines metallischen Maschinenteils bzw. des IC dienen



	HBM:	MM:	CDM:
$R_V$	1 M $\Omega$	1 M $\Omega$	>10 M $\Omega$
$R$	1,5 k $\Omega$	100 $\Omega$	0 $\Omega$
$C$	100 pF	200 pF	$C_{Bauelement}$

# Problemstellung

## ESD-Test:

Erklärung der Namen:

(1) PS-mode:

Positive Spannung zwischen  
Pin und VSS-Anschluß

(2) NS-mode:

Negative Spannung zwischen  
Pin und VSS-Anschluß

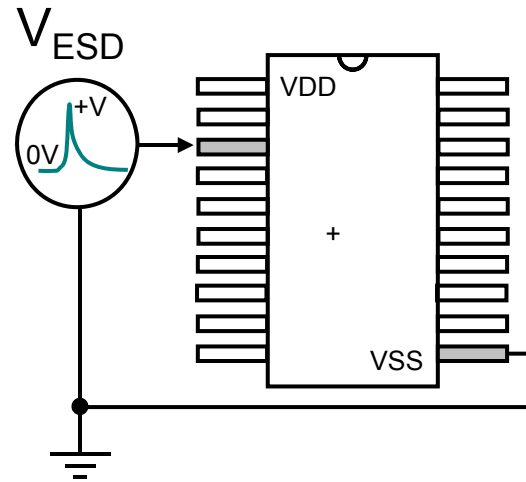
(3) PD-mode:

Positive Spannung zwischen  
Pin und VDD-Anschluß

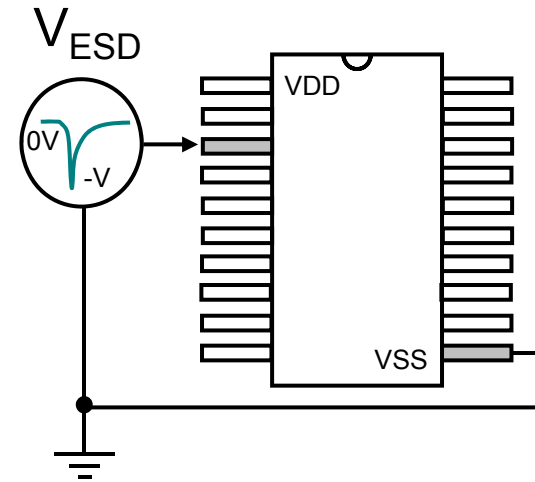
(4) ND-mode:

Negative Spannung zwischen  
Pin und VDD-Anschluß

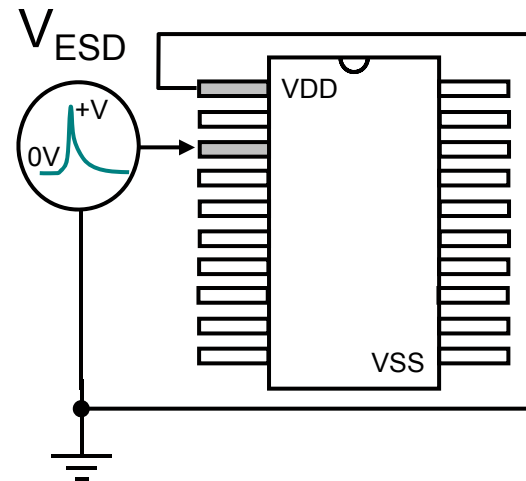
(1) PS-mode



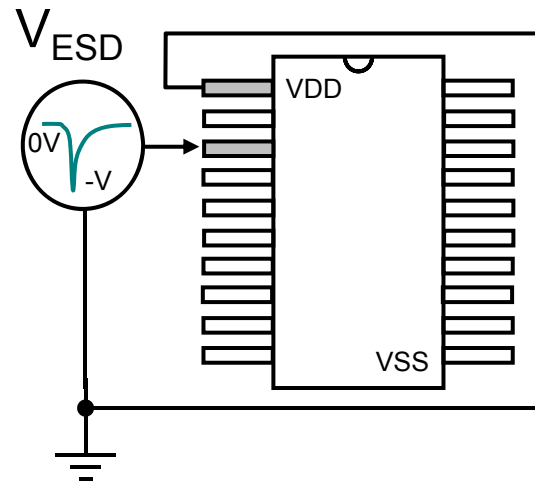
(2) NS-mode



(3) PD-mode



(4) ND-mode

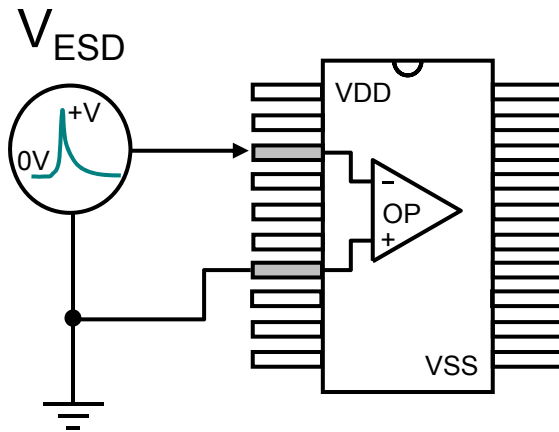




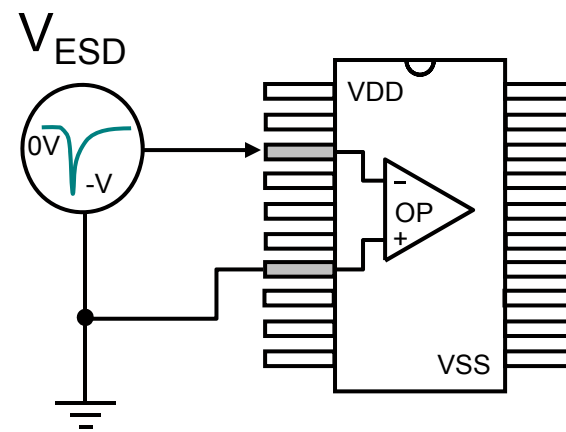
# Problemstellung

ESD-Test bei analogen Schaltungen (z.Bsp. Operationsverstärker):

(1) Positive-mode



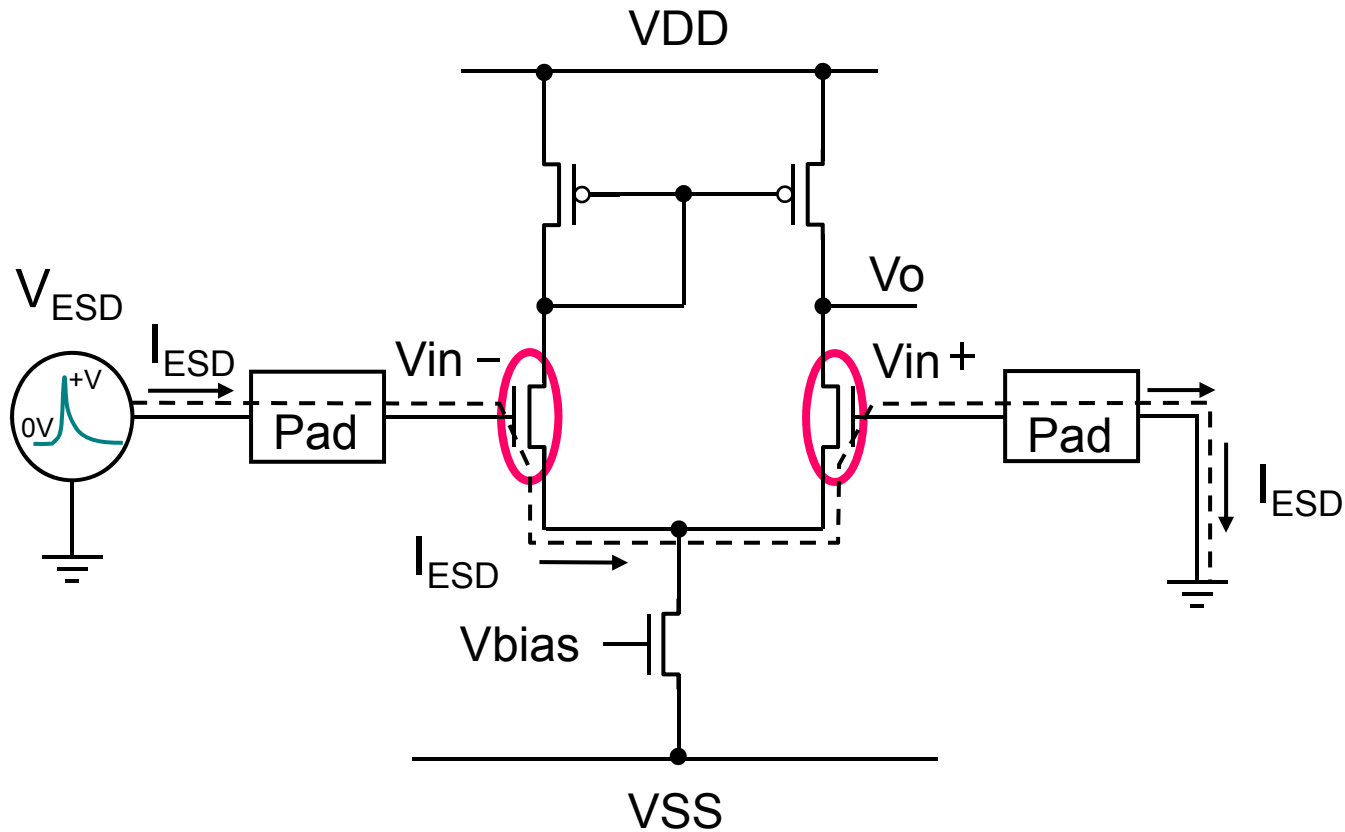
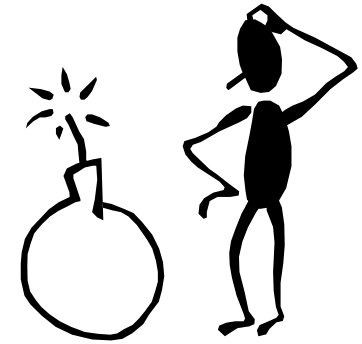
(2) Negative-mode





# Problemstellung

Auswirkungen des ESD-Test bei analogen Schaltungen  
bei **keiner** ESD-Schutzstruktur:



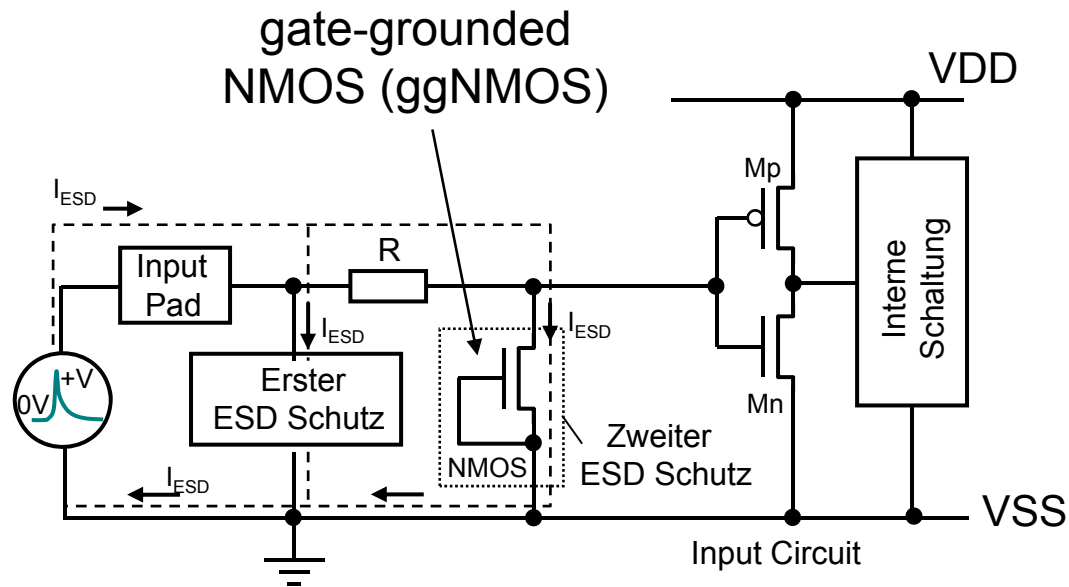


# Prinzip der ESD-Schutzstrukturen

Konventionelle zweistufige ESD-Schutzstruktur bei PS,NS:

Hauptlast: erste ESD-Schutzstruktur

über Widerstand zweite ESD-Schutzstruktur „gate-grounded NMOS“



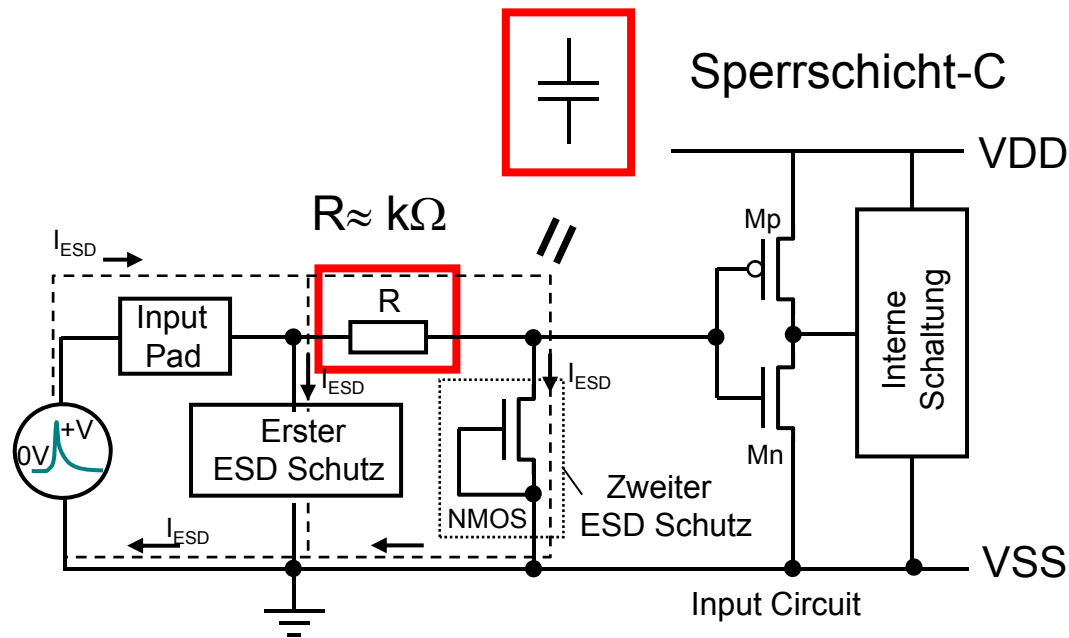
bei PD,ND: komplementäre zweistufige Verbindung mit VDD



# Prinzip der ESD-Schutzstrukturen

Konventielle zweistufige ESD-Schutzstruktur:

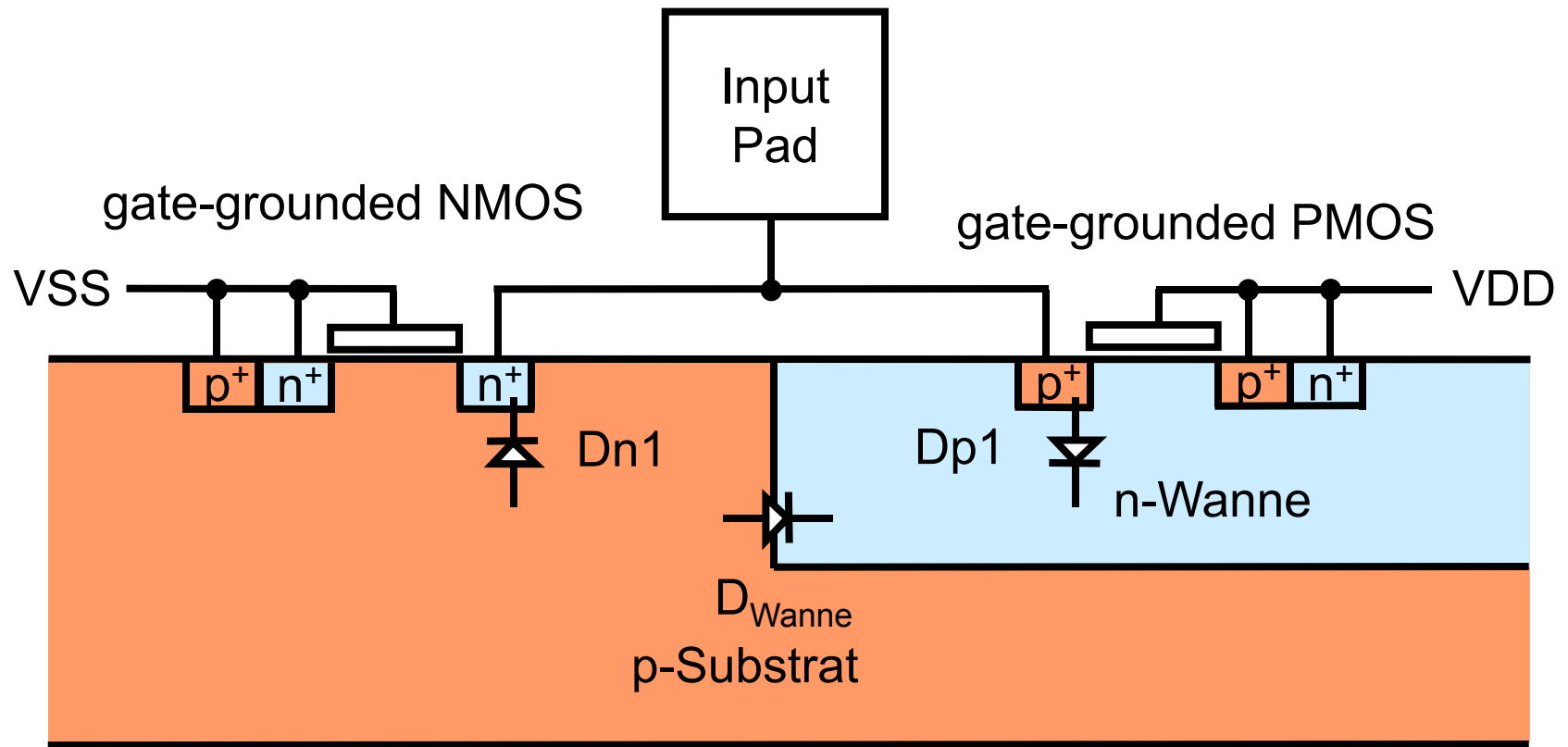
Problem bei Hochfrequenz-Schaltungen: RC-Zeitkonstante !!



gate-grounded  
NMOS (ggNMOS)

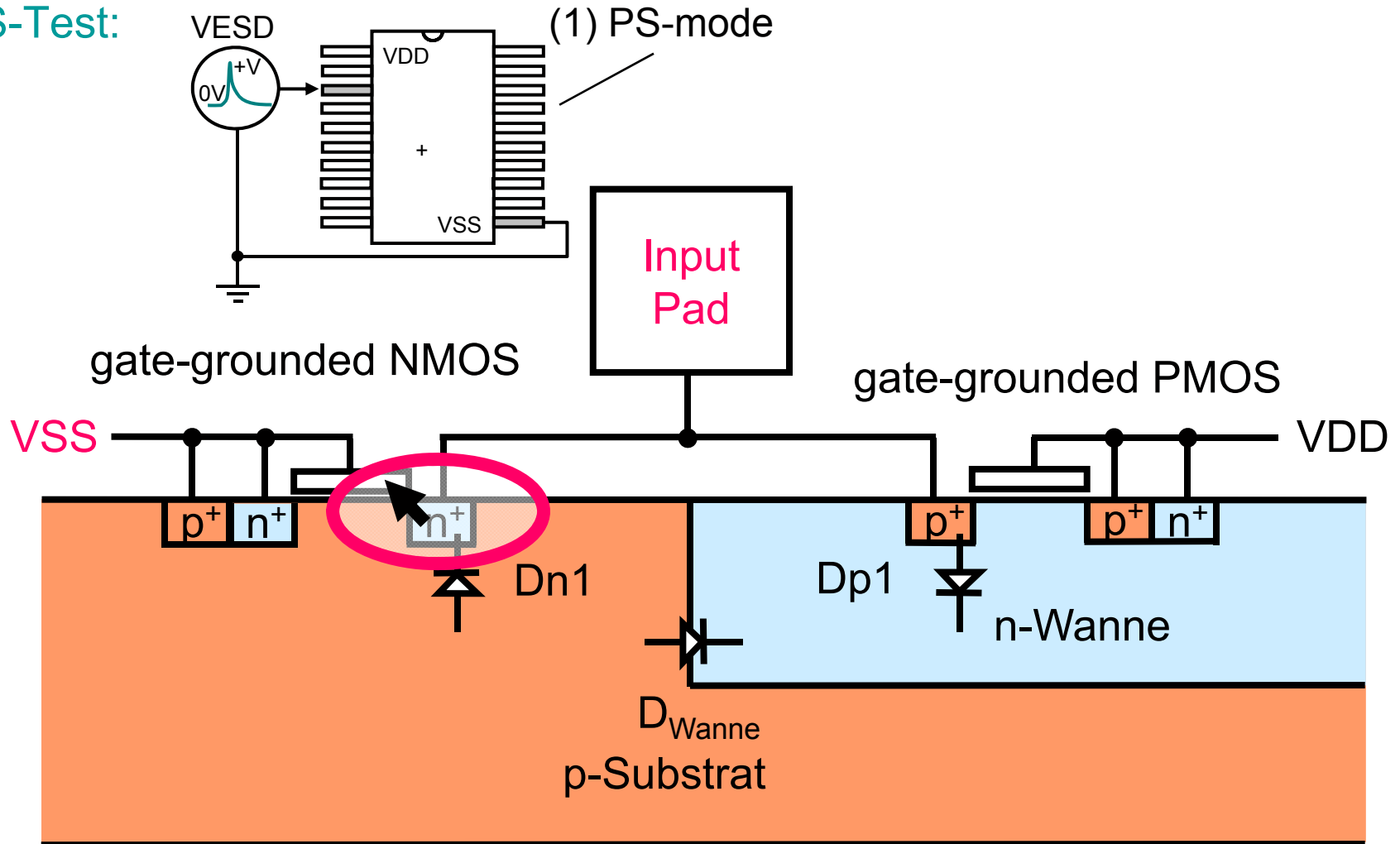
# ESD-Schutzstrukturen

Untersuchung der HF-ESD-Schutzstruktur:



# ESD-Schutzstrukturen

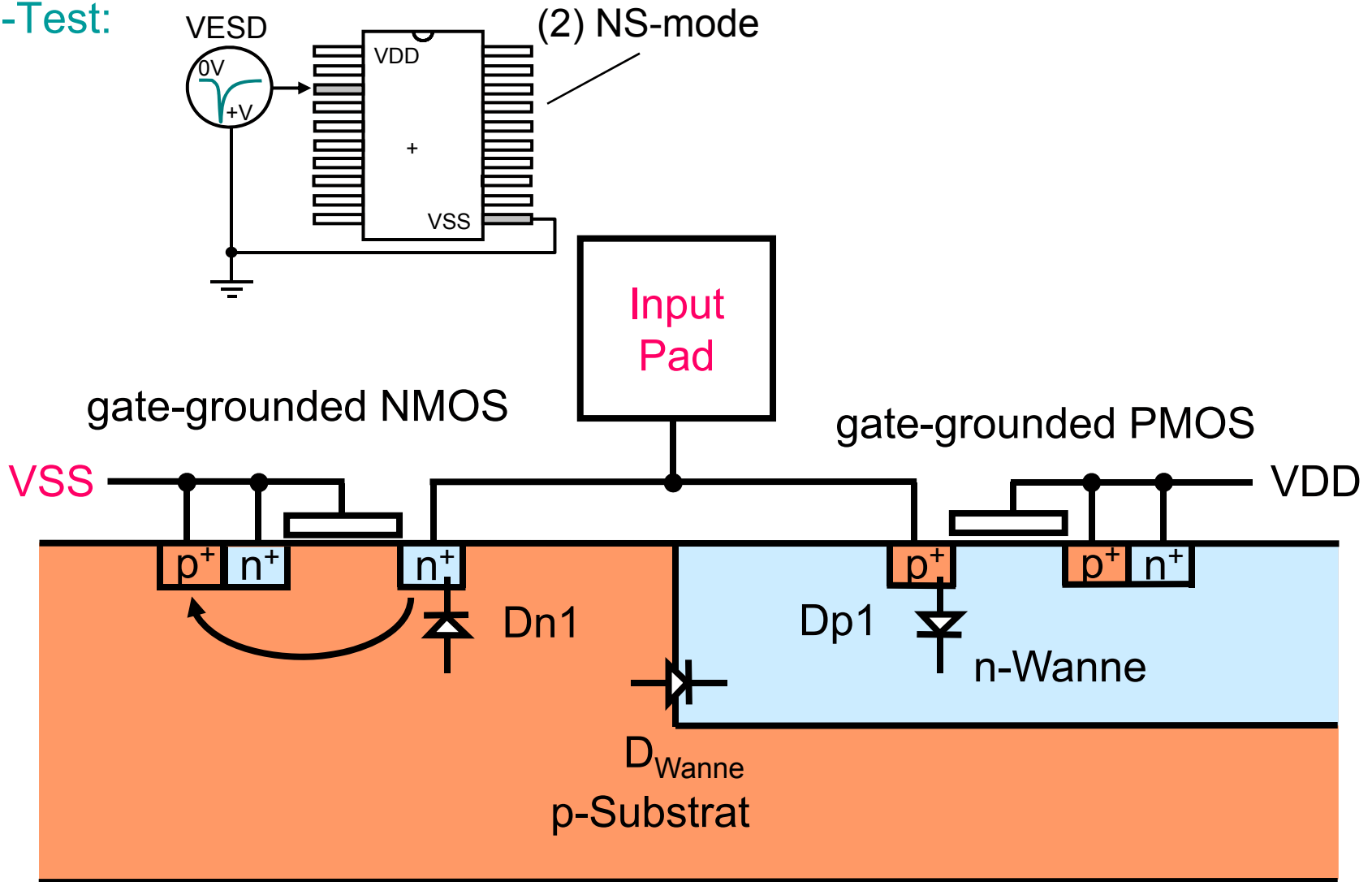
PS-Test:



Diode n<sup>+</sup>-Draingebiet/p-Substrat in Sperrrichtung, NMOS-Transistor belastet ⇒ Drain-Breakdown !! ⇒ maximale ESD-Spannung begrenzt

# ESD-Schutzstrukturen

NS-Test:

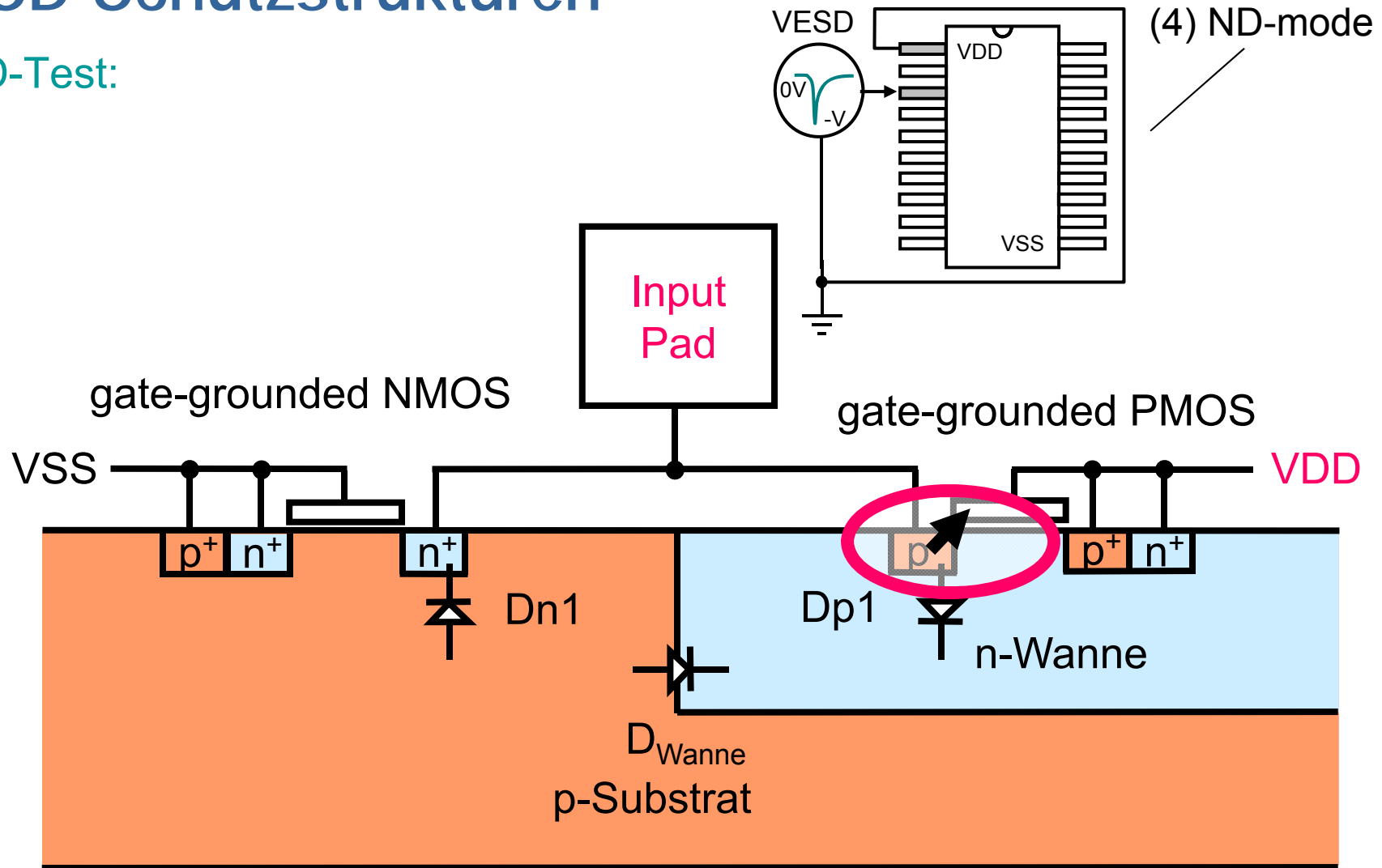


Diode n<sup>+</sup>-Draingebiet/p-Substrat Dn1 in Durchlassrichtung, NMOS

Transistor unbelastet ⇒ maximale ESD-Spannung bedeutend höher als PS

# ESD-Schutzstrukturen

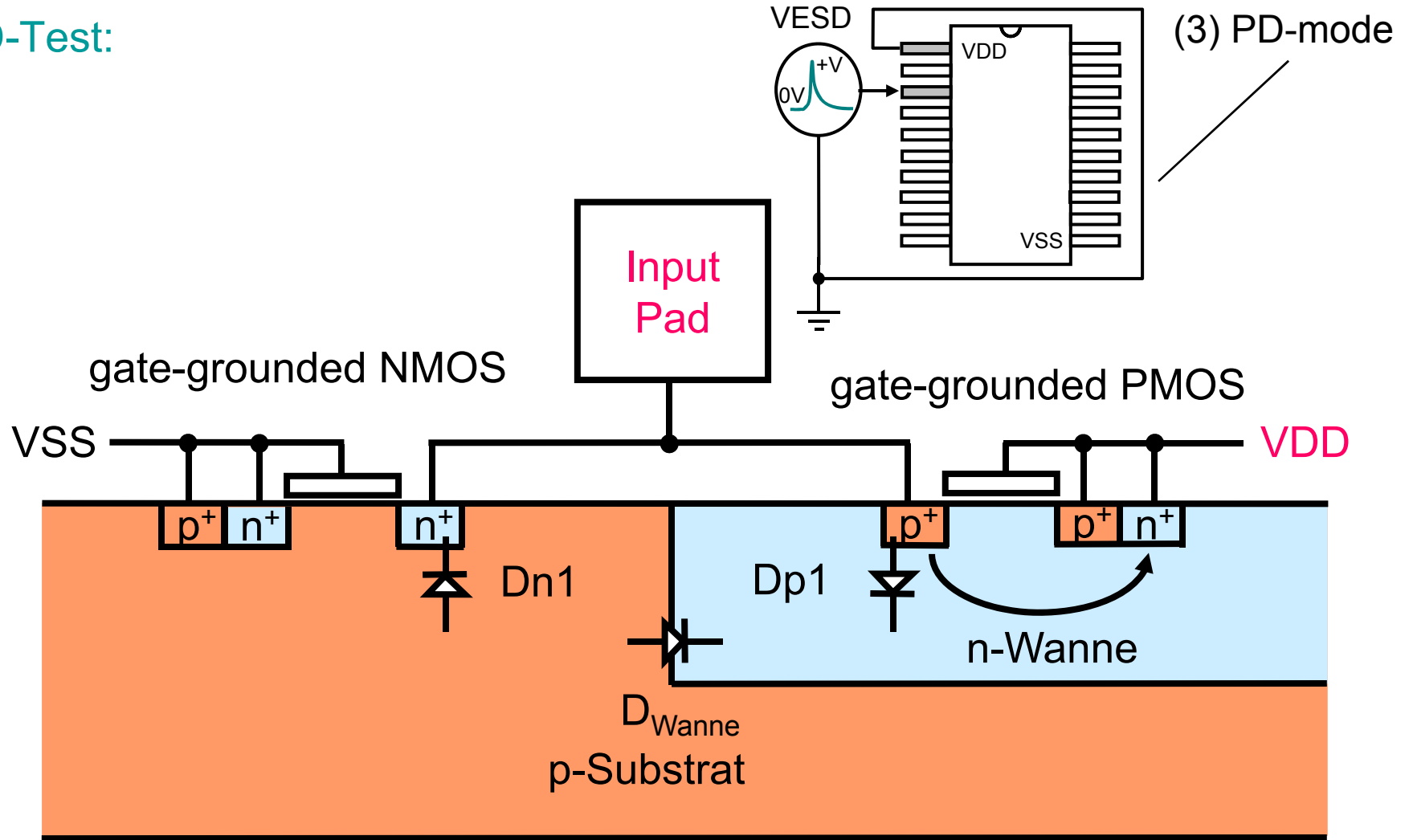
ND-Test:



Diode p<sup>+</sup>-Draingebiet/n-Wanne in Sperrrichtung, PMOS-Transistor belastet ⇒ Drain-Breakdown !! ⇒ maximale ESD-Spannung begrenzt

# ESD-Schutzstrukturen

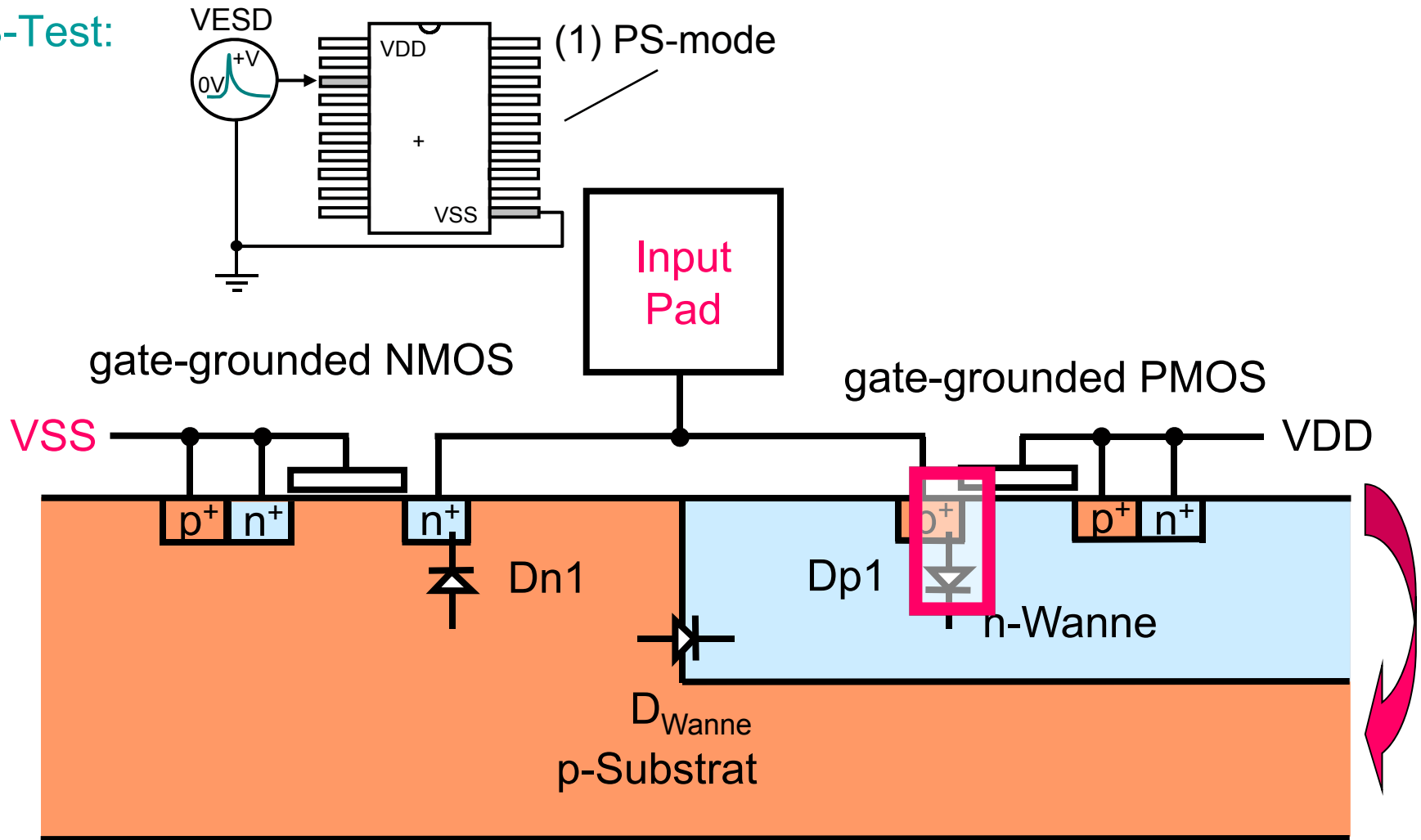
PD-Test:



Diode p<sup>+</sup>-Draingebiet/n-Wanne Dp1 in Durchlassrichtung, PMOS Transistor unbelastet ⇒ maximale ESD-Spannung bedeutend höher als ND

# ESD-Schutzstrukturen

PS-Test:

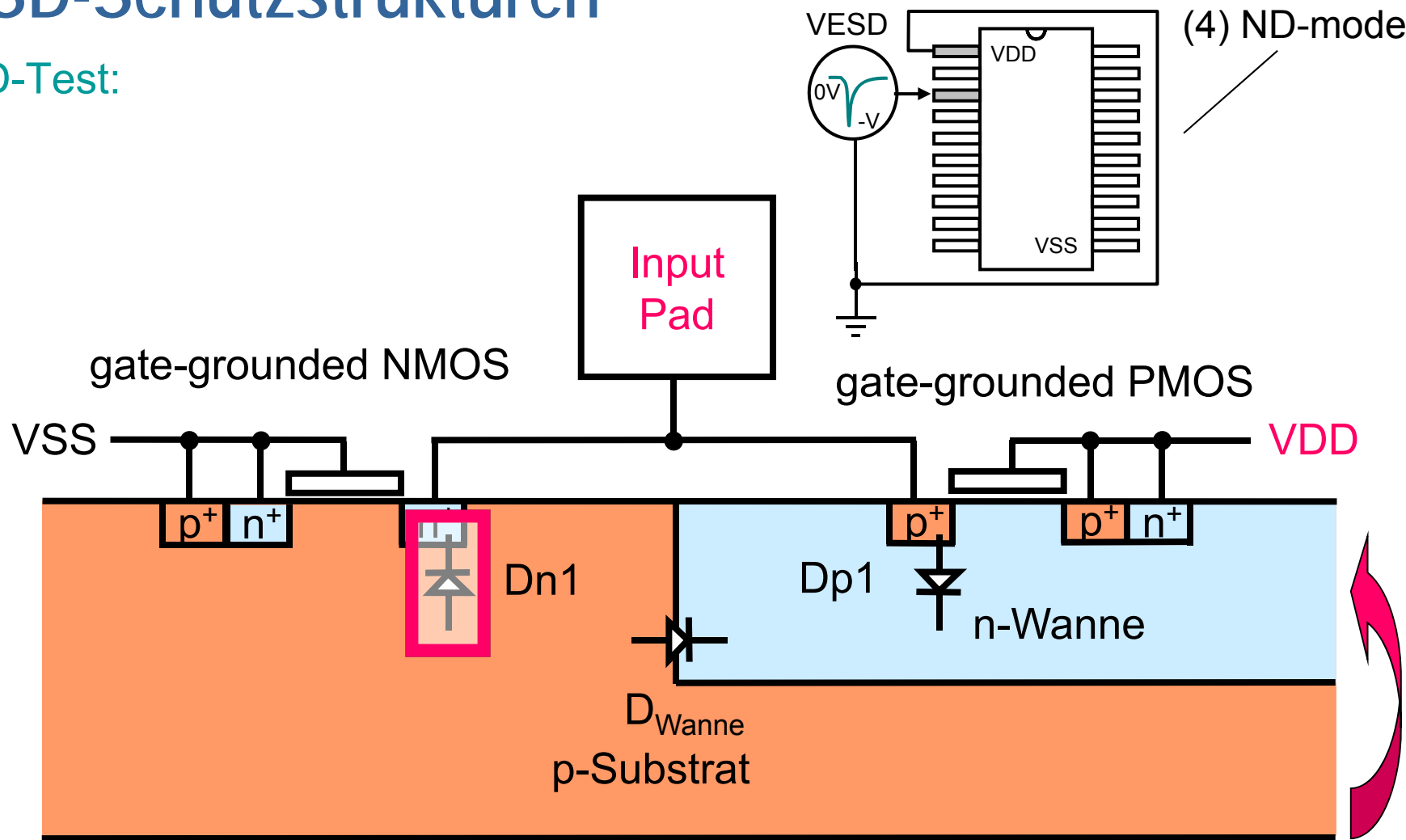


Idee: bei PS-Test: n-Wanne positiv aufgeladen über Dp1  
⇒ Ableitung zu VSS möglich ??



# ESD-Schutzstrukturen

ND-Test:



Idee: bei ND-Test: p-Substrat negativ aufgeladen über Dn1  
⇒ Ableitung zu VDD möglich ??

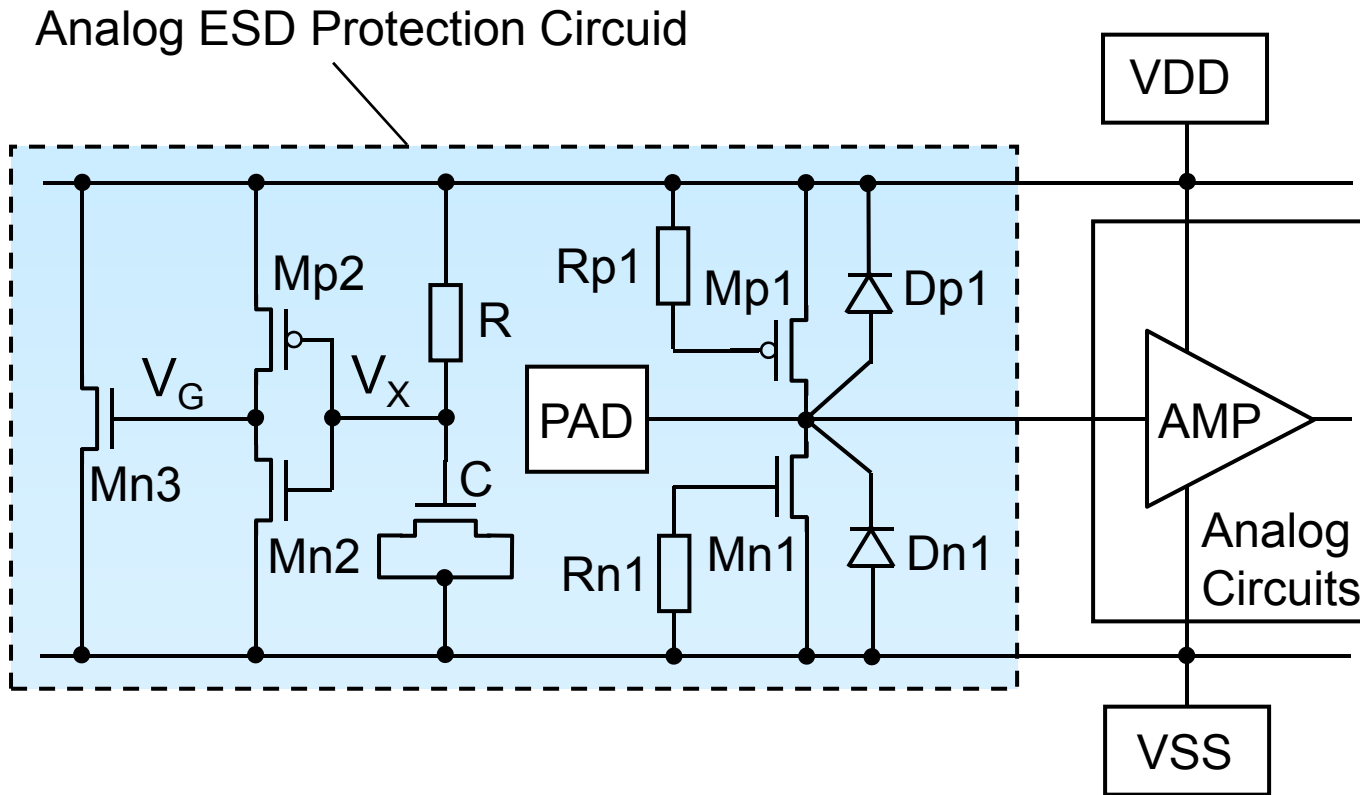






# ESD-Schutzstrukturen

## Schaltung



Vorteil: Mn3 (W/L groß) belastet nicht Input-Pad !!

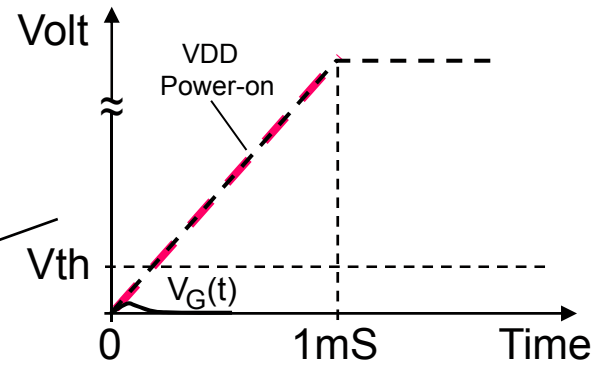
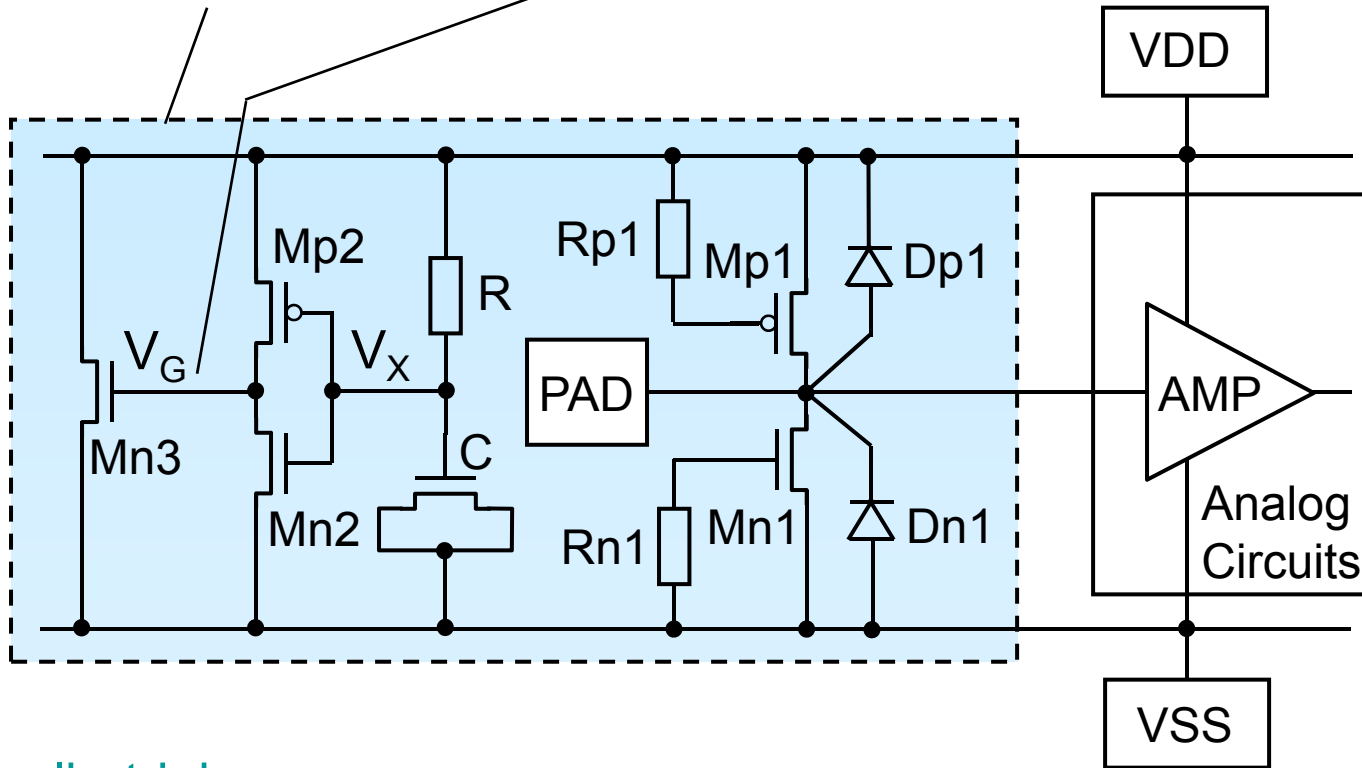




# ESD-Schutzstrukturen

Schaltung:

Analog ESD  
Protection Circuit

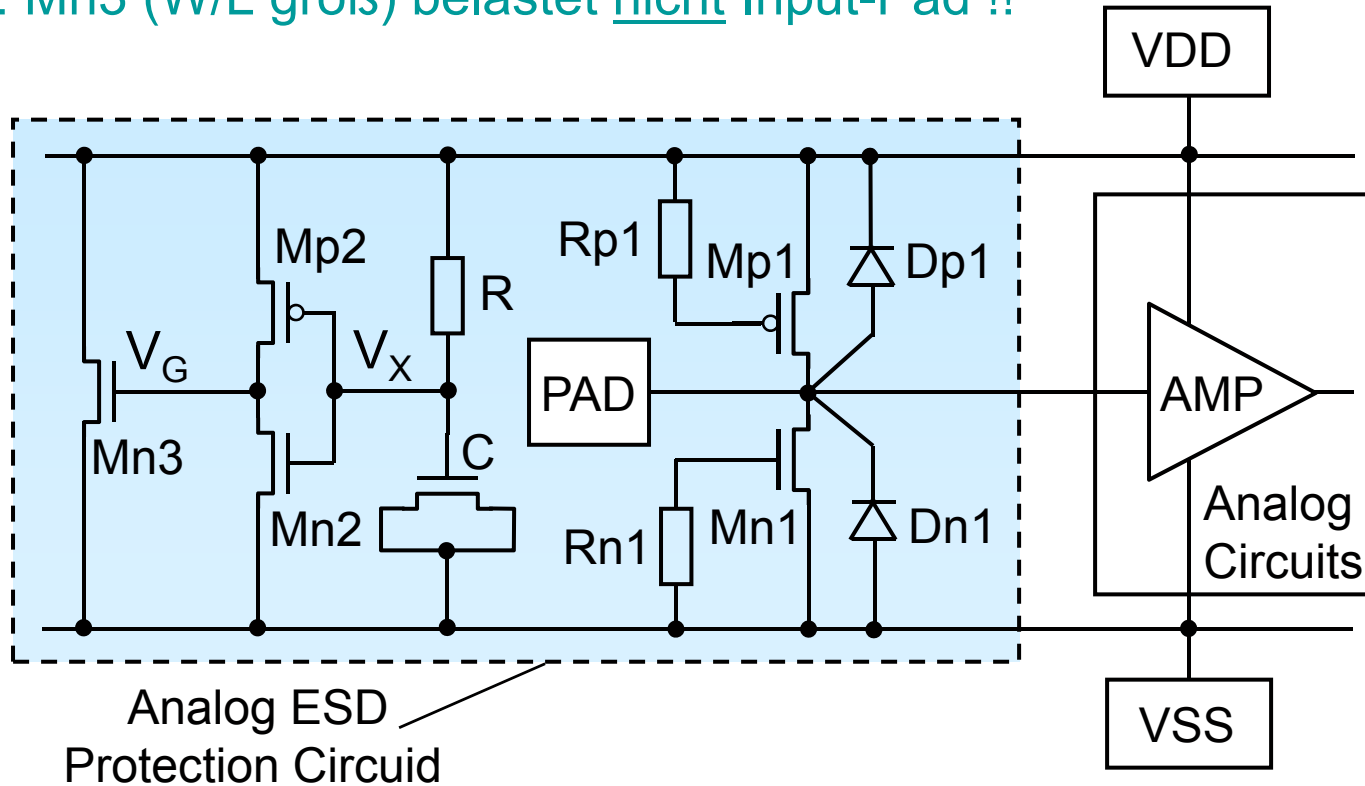


Normalbetrieb:

RC-Glied wird aufgeladen, über Mn2 wird die Spannung  $V_G$  auf  $\approx 0$  Volt gesetzt, bevor über Mn3 Leistung verlorenght

# ESD-Schutzstrukturen

Vorteil: Mn3 (W/L groß) belastet nicht Input-Pad !!



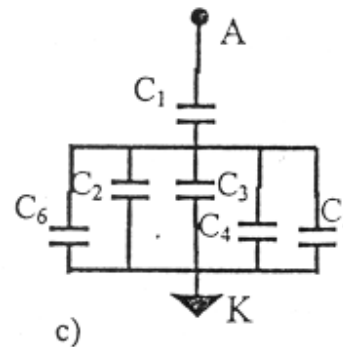
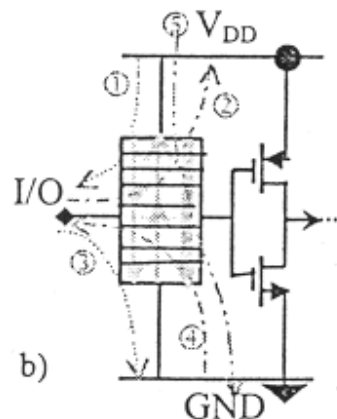
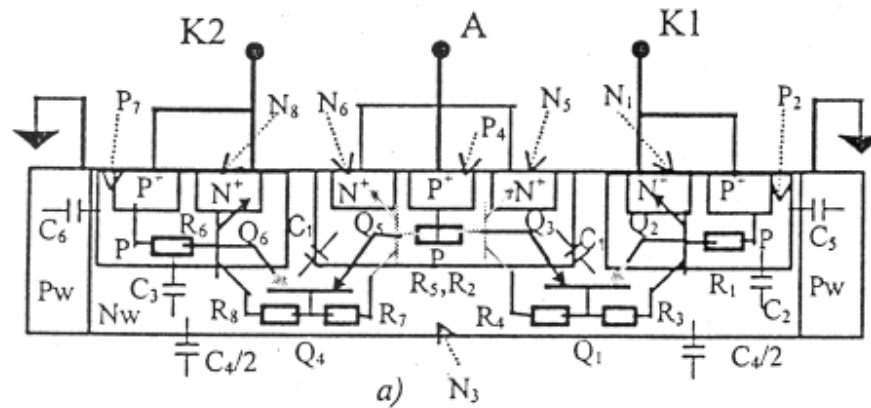
Resultat der Messung:

	Pin Combination in ESD Test				
	PS-mode	NS-mode	PD-mode	ND-mode	Pin-to-Pin
HBM (V)	6000	- 8000	7000	- 7000	6000
MM (V)	400	- 400	400	- 400	400

# ESD-Schutzstrukturen

nur *ein* Beispiel von Vielzahl von Veröffentlichung zum Thema

„ESD-Schutz bei Hochfrequenz-Schaltungen“





# ESD-Schutzstrukturen

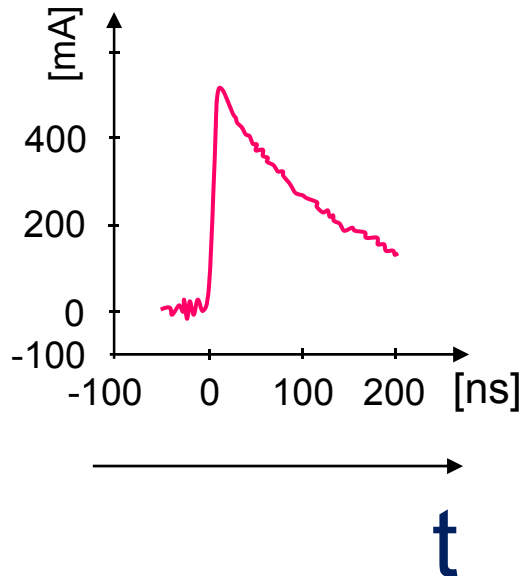
Bei höheren Frequenzen (ca. ab 5 GHz):

„Human Body Model (HBM)“

Anstiegszeit  
 $\leq 10\text{ns}$



Tiefpass  
als  
ESD-  
Schutz

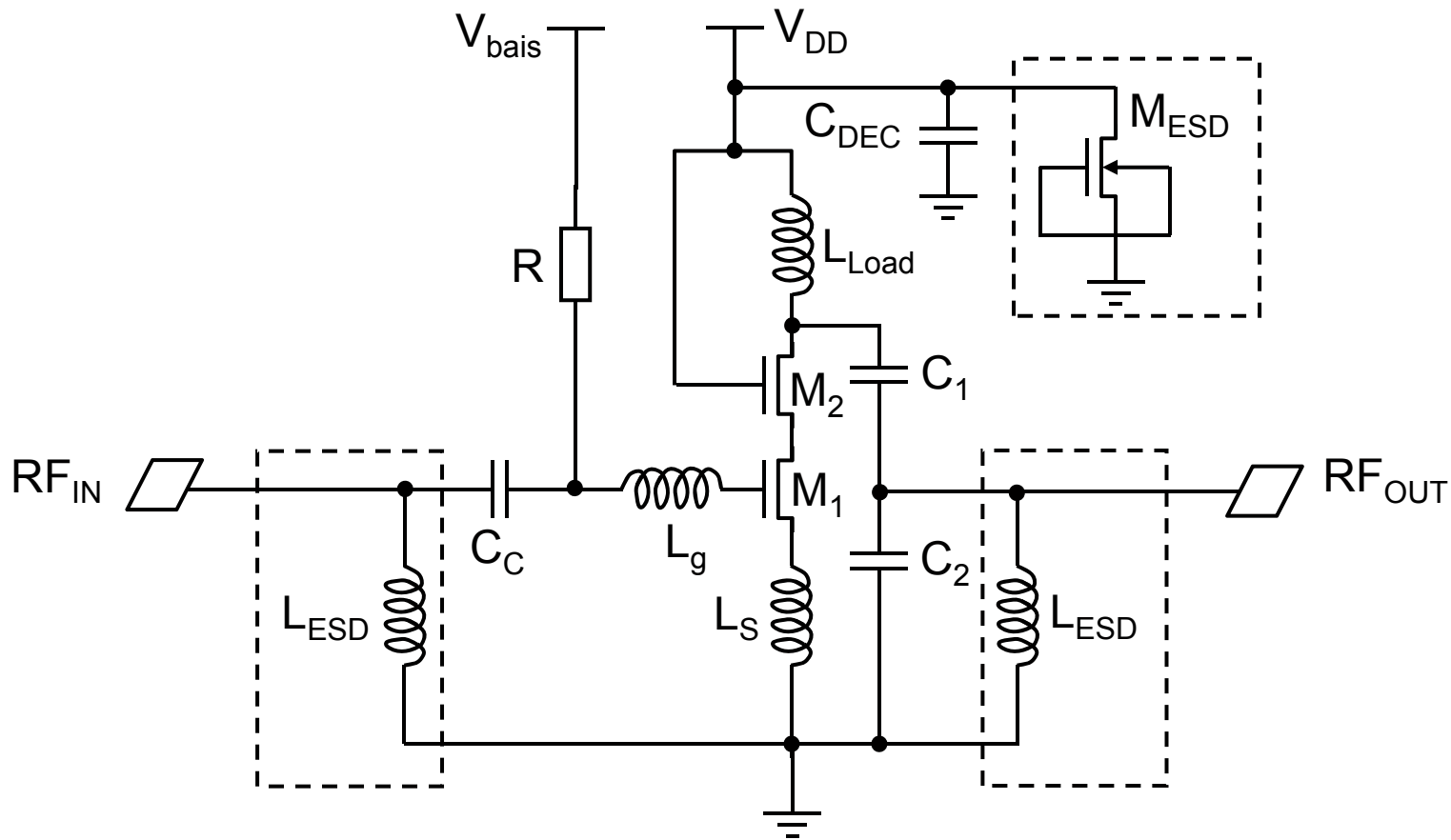


$\Rightarrow$   
Fourier



# ESD-Schutzstrukturen

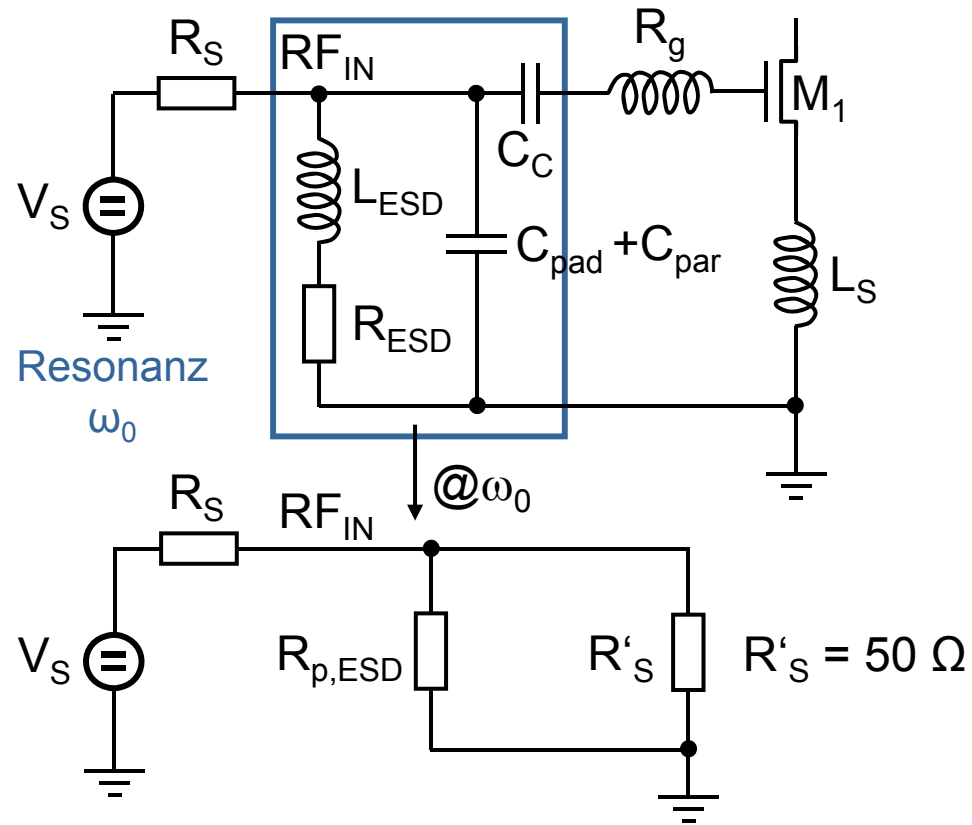
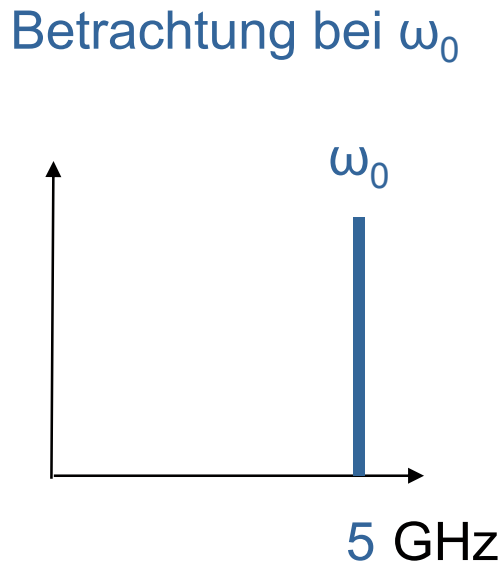
Beispiel LNA mit Tiefpässen am Eingang und am Ausgang:





# ESD-Schutzstrukturen

Beispiel LNA mit Tiefpass am Eingang (Ausgang nicht betrachtet):



$$R_{P,ESD} = \frac{\omega_0^2 \cdot L_{ESD}^2}{R_{ESD}}$$

Bedingung:  $R_{P,ESD} \gg R'_S$       $R_{P,ESD} \approx k\Omega !!$

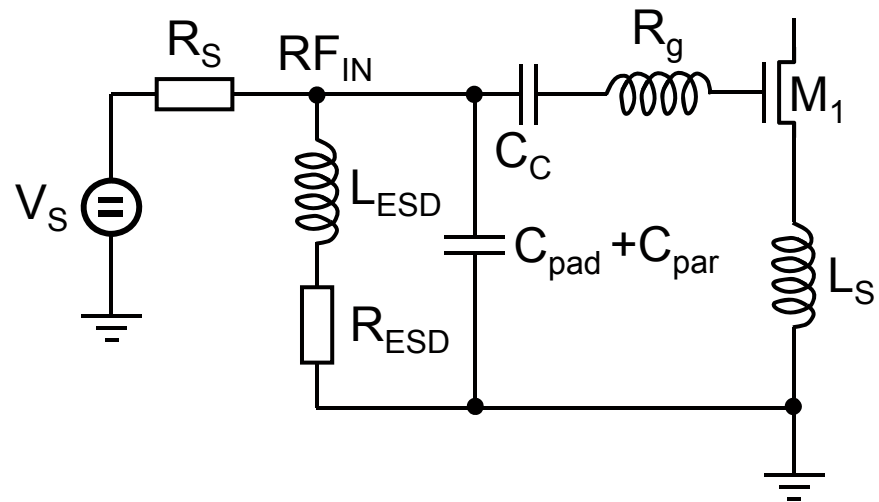
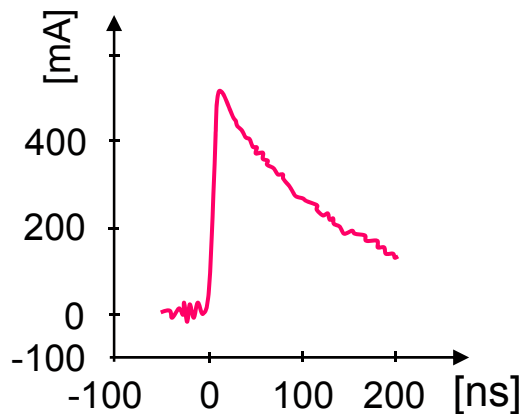
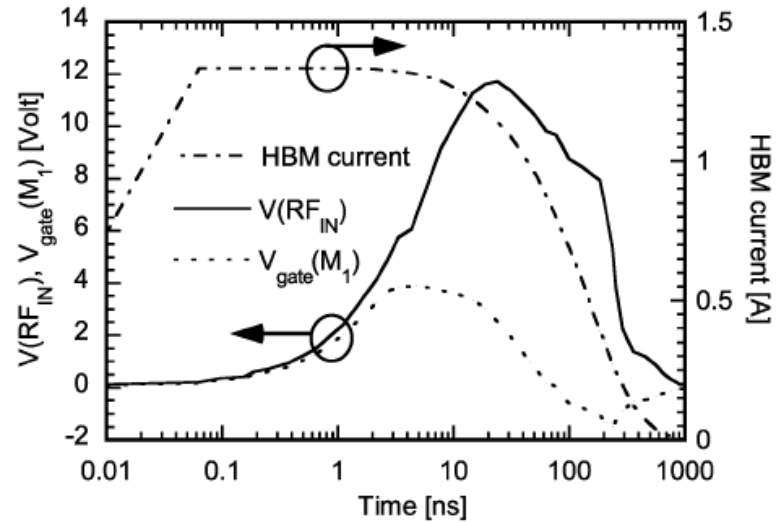
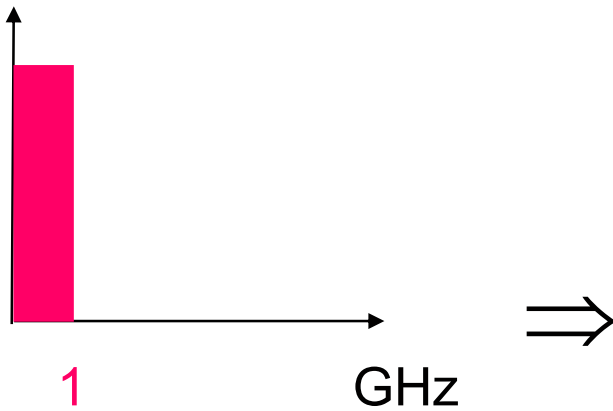




# ESD-Schutzstrukturen

Beispiel LNA mit Tiefpass am Eingang (Ausgang nicht betrachtet):

## ESD-Betrachtung





# Zusammenfassung

- Problemstellung
- Prinzip der ESD-Schaltung
- Zusammenfassung
- Literaturhinweise



# Literaturhinweise

## Artikel:

-M.-D. Ker, „Whole-Chip ESD Protection Design with Efficient VDD-to-VSS ESD Clamp Circuits for Submicron CMOS VLSI“  
Transaction on Electron Devices, Januar 1999

-M.-D. Ker et al., „ESD Protection Design on Analog Pin with Very Low Input Capacitance for High-Frequency or Current-Mode Applications“, Journal of Solid-State Circuits, August 2000

-D. Linten et al., „A 5-GHz Fully Integrated ESD-Protected Low-Noise Amplifier in 90-nm RF CMOS“, Journal of Solid-State Circuits, July 2005